

ИНФОРМАТИКА ИНФОРМАЦИОННЫЕ СИСТЕМЫ

УДК 681.32

Моделирование усовершенствованных устройств программируемой логики

Р. В. Вихорев, А. Ю. Скорнякова

Пермский национальный исследовательский политехнический университет
Россия, 614990, г. Пермь, ул. Комсомольский пр., 29
vihrusvla@gmail.com; +7-919-706-52-41
juris-plot@mail.ru; +7-951-949-65-22

Представлены результаты статического и динамического моделирования усовершенствованных логических элементов DC LUT, LUT ST, адаптивного логического элемента, который может быть настроен как на реализацию функции LUT, так и на реализацию дешифратора DC, что обеспечивает возможность реализации систем логических функций в СДНФ. LUT ST позволяет реализовать двухфазную дисциплину вычислений, что необходимо в самосинхронных схемах (ССС). Моделирование подтвердило работоспособность предложенных технических решений, на которые получены патенты РФ.

Ключевые слова: *программируемая логика; логическая функция; LUT.*

DOI: 10.17072/1993-0550-2017-3-77-81

Введение

Программируемые логические устройства широко используются в современной электронике [1–3]. Стандартными размерностями "мультиплексорных" логических элементов LUT (Look Up Table) в программируемых логических интегральных схемах (ПЛИС) типа FPGA (field-programmable gate array) долгие годы были 3, 4. В последние годы активно развивается направление адаптивных логических модулей (АЛМ), в которых пользователю доступны различные варианты логических элементов на 5, 6 и даже на 7, 8 переменных [4, 5]. Однако каждый LUT вычисляет одну логическую функцию в совершенной дизъюнктивной нормальной форме – СДНФ. В то же время ПЛИС другого типа – CPLD (complex programmable logic devices) основаны на технологиях программируемых логических матриц (ПЛИМ) [6–8], где вычис-

ляются системы логических функций в ДНФ. Вызывает интерес разработка усовершенствованных устройств программируемой логики с целью дальнейшего продвижения тренда АЛМ в плане реализации систем логических функций в СДНФ, а также с целью создания синхронных устройств, и так называемых самосинхронных схем-ССС [9–11], которые оцениваются многими исследователями как перспективные особенно в энергоэффективных и критических приложениях. К примеру, заявляется об использовании СССР в широком температурном диапазоне, в радиационно-стойкой аппаратуре и др. [12–14].

1. Логический элемент LUT

Логический элемент (Look Up Table) ПЛИС FPGA [1, 2, 4] представляет собой мультиплексор, построенный как дерево передающих МОП транзисторов p -проводимости, в каждой из 2^n ветвей которого n транзисторов. Ветви активируются одним из 2^n набором n переменных, в связи с чем на

выход передается значение логической функции из таблицы истинности (поэтому и название звучит так – Look Up Table – "просмотровая таблица", хотя, на наш взгляд, название могло быть "Truth Table"). Сама таблица истинности размещается в ячейках статической оперативной памяти SRAM – это часть так называемой конфигурационной памяти, в другой части которой размещается информация для матриц коммутаций – для настройки связей входов и выходов логических элементов. Упрощенная схема LUT на одну переменную изображена на рис. 1.

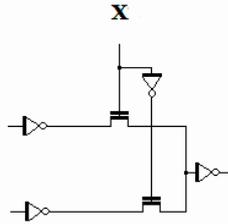


Рис. 1. Упрощенная схема LUT на одну переменную-мультиплексора 2-1

Статическая модель LUT на одну переменную изображена на рис. 2.

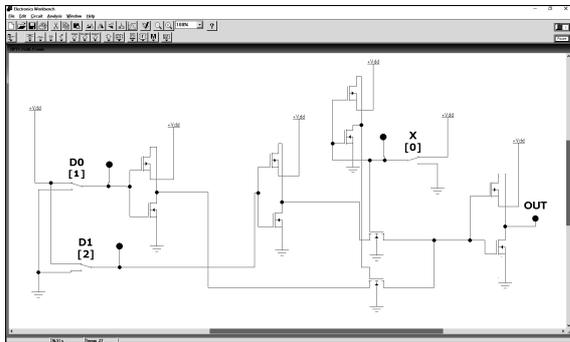


Рис. 2. LUT на одну переменную

На основе LUT одной переменной строят LUT на 2, 3, 4 переменные. Более сложные LUT входят в состав адаптивных логических модулей – АЛМ [4, 5]. Однако в связи с ограничениями проектирования больших интегральных схем (БИС, сейчас этот термин используют редко) Мида–Конвей [2, 15] в последовательной цепочке не должно быть больше 4 передающих транзисторов, так как при прохождении сигнала логической единицы через такой транзистор-ключ сигнал ослабляется на величину порогового напряжения. Иногда ограничение еще жестче – его устанавливают равным 3 транзисторам. Поэтому нужна схема восстановления уровня

сигнала (например, буфер с восстановлением уровня с *p*-МОПТ в обратной связи) [2].

Это усложняет схему, но с этим придется мириться. Кроме того, в реальной схеме переменная *X* также буферизируется, поэтому на входе имеется не один инвертор, а два.

2. Моделирование DC LUT

Предлагается DC LUT [16] реализация (DC-дешифратор) систем логических функций в СДНФ на основе

$$d_{out.i} = \bigwedge_{j=1}^n (x_j^{\sigma(i-1,j)}); i = 1, 2^n, \quad (1)$$

где $d_{out.i}$ – выход *i*-й ветви дерева "наоборот", соответствующий истинности *i*-й конъюнкции из 2^n конъюнкций *n* переменных. Программирование значений *m* логических функций *z* осуществляется следующим образом:

$$z_l = \bigvee_{i=1}^{2^n} (d_{out.i} \cdot h_{l,i}); \quad l = 1, m, \quad (2)$$

где *h* – настройка вхождения конститuent *i* в данную функцию из *m* функций системы.

DC LUT на одну переменную изображен на рис. 3.

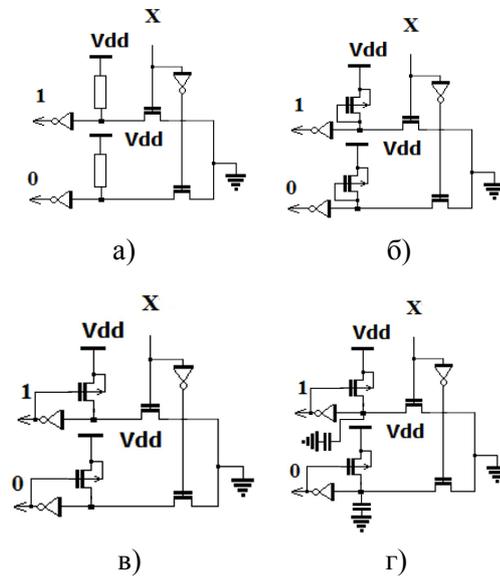


Рис. 3. Элементарный DC LUT:

- а) с резисторами по выходам конститuent;
- б) с транзисторами в режиме резисторов;
- в) с восстановителями сигнала;
- г) с восстановителями сигнала и конденсаторами по входам инверторов

Предлагаемый адаптивный ADC LUT представлен на рис. 4.

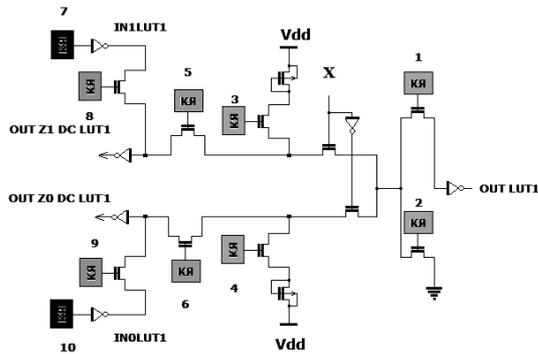


Рис. 4. Адаптивный LUT – ADC LUT

Статическая модель элементарного DC LUT в системе схемотехнического моделирования National Instruments Electronics Workbench Group изображена на рис. 5:

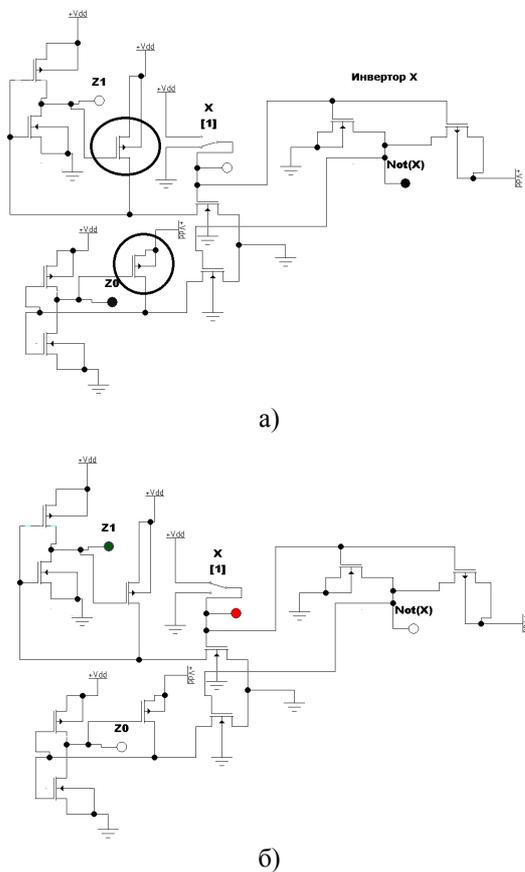


Рис. 5. Элементарный DC LUT:
а) $X=0$; б) $X=1$

Кружком на рис. 5, а обведены дополнительные транзисторы восстановителей сигналов. Моделирование в динамике предполагает проверку функционирования при подаче на вход переменных последовательности входных векторов с некоторой допустимой частотой. Выходные сигналы оцениваются по ос-

циллограмме. Динамическая модель DC LUT на одну переменную изображена на рис. 6:

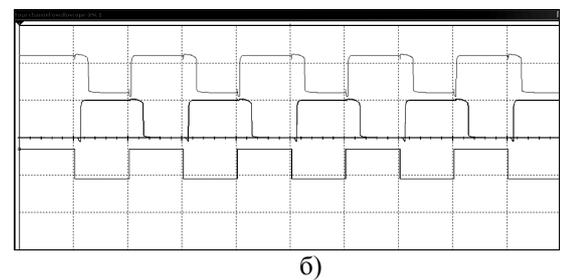
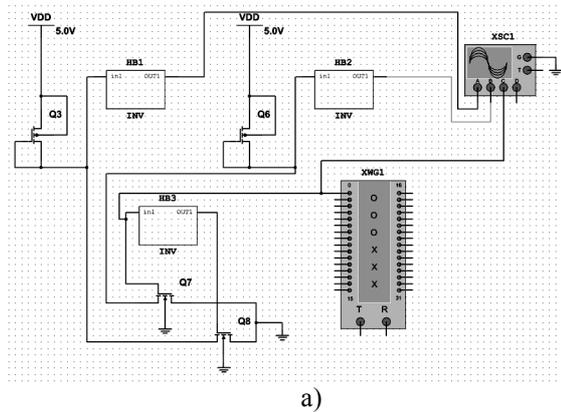


Рис. 6. Динамическая модель DC LUT на одну переменную: а) схема; б) осциллограмма

Схема динамической модели DC LUT на две переменных изображена на рис. 7:

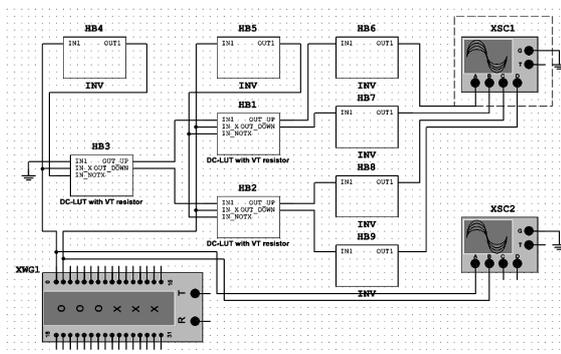


Рис. 7. Динамическая модель DC LUT на две переменных

3. Моделирование LUT ST

Реализация предлагаемого самосинхронного LUT-ST [17] имеет вид

$$\begin{cases} Z_{out.l.ST} = \bigvee_{i=0}^{2^n-1} \left(\bigwedge_{j=1}^{2^n} X_j^{\sigma(i-1,j)} \cdot D_i \right) \vee \left(\bigwedge_{\mu=1}^n X_{\mu} X_{\mu}' \right)', \\ Z'_{out.l.ST} = \bigvee_{i=0}^{2^n-1} \left(\bigwedge_{j=1}^{2^n} X_j^{\sigma(i-1,j)} \cdot \bar{D}_i \right) \vee \left(\bigwedge_{\mu=1}^n X_{\mu} X_{\mu}' \right)', l=1, m, \\ I = \overline{Z_{out.l.ST} \cdot Z'_{out.l.ST}}, \end{cases} \quad (3)$$

где $\& X_{\mu} X'_{\mu}$ – цепочки реализации спейсера, I – индикатор окончания переходного процесса.

Модель ST 1-LUT в системе схемотехнического моделирования National Instruments Electronics Workbench Group изображена на рис. 8.

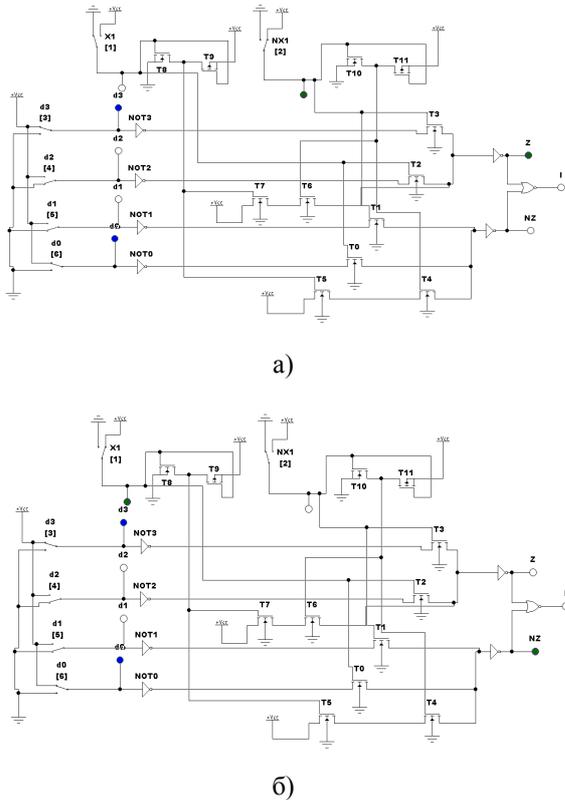


Рис. 8. Модель ST 1-LUT в системе схемотехнического моделирования National Instruments Electronics Workbench Group: а) $Z=1$; б) $Z=0$

Фаза гашения имеет вид рис. 9.

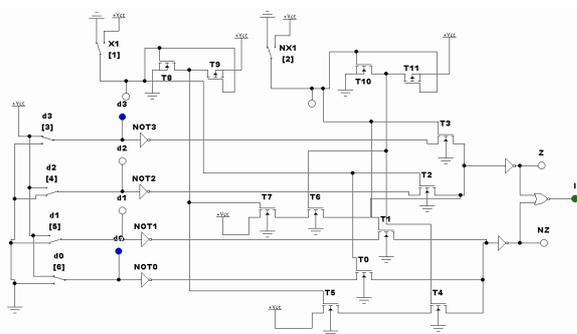


Рис. 9. Фаза гашения в ST 1-LUT при $X = NX = 0, I = 1$

Выводы

Моделирование (статическое и динамическое) подтверждают работоспособность предложенных усовершенствованных устройств на основе LUT. Предложенные устройства позволяют повысить эффективность реализации систем логических функций и использовать их в качестве универсальных логических элементов самосинхронных схем.

Полагаем, в дальнейшем целесообразно провести моделирование LUT с резервированием [18–24] для высоконадежных приложений.

Список литературы

1. Угрюмов Е.П. Цифровая схемотехника: учебное пособие. СПб.: 2-е изд., перераб. и доп. СПб.: БХВ-Петербург, 2007. 782 с.
2. Строгонов А., Цыбин С. Программируемая коммутация ПЛИС: взгляд изнутри. URL: http://www.kite.ru/articles/plis/2010_11_56.php (дата обращения: 13.03.2017).
3. Kharchenko V., Kondratenko Y., Kasprzyk J. (Eds.): Green IT Engineering: Concepts, Models, Complex Systems Architectures, Studies in Systems, Decision and Control, Vol. 74. Berlin. Heidelberg: Springer International Publishing, (2017), DOI: 10.1007/978-3-319-44162-7.
4. Золотуха Р., Комолов Д. Stratix III – новое семейство FPGA фирмы Altera. URL: http://kit-e.ru/assets/files/pdf/2006_12_30.pdf (дата обращения: 14.03.2017).
5. Logic Array Blocks and Adaptive Logic Modules in Stratix III Devices. URL: https://www.altera.com.cn/content/dam/altera-www/global/zh_CN/pdfs/literature/hb/stx3/stx3_siii51002.pdf (дата обращения: 29.06.2017).
6. Виды программируемой логики. URL: <http://www.pvsm.ru/programmirovanie/87810> (дата обращения: 10.06.2017).
7. CPLD (Complex Programmable Logic Device). URL: <http://www.myshared.ru/slide/981511/> (дата обращения: 09.06.2017).
8. Programmable Logic Devices. URL: http://ee.sharif.edu/~logic_circuits_t/readings/PLD.pdf (дата обращения: 04.06.2017).
9. Степченко Ю.А., Денисов А.Н., Дьяченко Ю.Г. и др. Библиотека элементов для про-

- ектирования самосинхронных полузаказных БМК микросхем серий 5503/5507. М.: ИПИ РАН, 2014. 296 с.
10. Степченков Ю.А., Каменских А.Н., Тюрин С.Ф. и др. Модели отказоустойчивых самосинхронных схем. Системы и средства информатики. 2016. Т. 26, № 4. С. 19–30.
 11. Степченков Ю.А., Каменских А.Н., Тюрин С.Ф. и др. Отказоустойчивый самосинхронный последовательно-параллельный порт: варианты реализации. Системы и средства информатики. 2016. Т. 26, № 3. С. 48–59.
 12. Бобков С.Г., Степченков Ю.А., Плеханов Л.П. и др. Самосинхронный базис реализации радиационно-стойких микросхем // Труды 1-й российско-белорусской науч.-техн. конф. "Элементная база отечественной радиоэлектроники", посвященной 110-летию со дня рождения О.В. Лосева. Н. Новгород: Нижегородская лаборатория, 2013. Т. 2. С. 31–35.
 13. Marakhovsky V.B., Surkov A.V. Globally asynchronous systems of interactive Moore state-machines // IET Computers & Digital Techniques. 2016. Issue 4. P. 186–192.
 14. Соколов И.А., Степченков Ю.А., Бобков С.Г. и др. Базис реализации супер-ЭВМ эксафлопсного класса // Информатика и ее применения. 2014. Т.8. С. 45–70.
 15. Ульман Дж. Д. Вычислительные аспекты СБИС / пер. с англ. А.В. Неймана / под ред. П.П. Пархоменко. М.: Радио и связь, 1990. 480 с.
 16. Тюрин С.Ф., Вихорев Р.В. Программируемое логическое устройство. Патент РФ № 2573732. Оpubл. БИ № 3 27.01.2016.
 17. Тюрин С.Ф., Каменских А.Н., Плотникова А.Ю. Программируемое логическое устройство. Патент РФ № 2601145. Оpubл. БИ № 30 27.10.2016.
 18. Тюрин С.Ф., Вихорев Р.В., Плотникова А.Ю. Программируемое логическое устройство. Патент РФ № 2602780. Оpubл. БИ № 32 20.11.2016.
 19. Тюрин С.Ф., Прохоров А.С. Отказоустойчивые логические элементы ПЛИС. Известия высших учебных заведений. Северокавказский регион. Серия: Технические науки. 2016. № 4 (192). С. 11–17.
 20. Тюрин С.Ф. Энергоэффективные LUT FPGA, концепция, модели, оценки. Наноиндустрия. 2017. № S4 (74). С. 194–200.
 21. Тюрин С.Ф. Скользящее резервирование толерантных элементов. Надежность. 2017. Т. 17, № 1 (60). С. 17–21.
 22. Тюрин С.Ф. Отрицание мажоритарного мультиплексора // Вестник Воронежского государственного технического университета. 2017. Т. 13, № 1. С. 78–83.
 23. Тюрин С.Ф. Мажоритирование на основе тристабильных буферов для аэрокосмических вычислительных комплексов // Вестник Сибирского государственного аэрокосмического университета им. академика М.Ф. Решетнева. 2017. Т. 18, № 1. С. 168–175.
 24. Тюрин С.Ф. Особенности схем мажоритирования радиационно-стойких ПЛИС // Вестник Рязанского государственного радиотехнического университета. 2017. № 59. С. 81–86.

Simulation of advanced programmable logic devices

R. V. Vikhorev, A. Yu. Skornyakova

Perm National Research Polytechnic University; 29, Komsomolsky prospekt, Perm, 614990, Russia
vihrusvla@gmail.com; +7-919-706-52-41

The paper presents results of static and dynamic modeling of advanced logic elements DC LUT, LUT ST, an adaptive logic element that can be configured both for the implementation of the LUT function and for the realization of the DC decoder, which provides the possibility to implement systems of logical functions in CNF. LUT ST allows one to implement a two-phase discipline of computation, which is necessary in self-timed circuits (STC). The simulation confirmed the efficiency of the proposed technical solutions, for which patents has been obtained.

Keywords: programmable logic; logic function; LUT.