

УДК 681.32

## Методика комбинированного резервирования в самосинхронных схемах

С. Ф. Тюрин<sup>1</sup>, А. Н. Каменских<sup>2</sup>Пермский национальный исследовательский политехнический университет  
Россия, 614990, Пермь, ул. Комсомольский пр., 29<sup>1</sup>tyurinsergfe@yandex.ru; +7-952-32-02-510<sup>2</sup>antoshkinoinfo@yandex.ru; +7-902-64-125-45

Одной из актуальных проблем в области самосинхронной схемотехники – ССС является обеспечение отказоустойчивости. При этом основное внимание уделяется активной отказоустойчивости. Для обеспечения пассивной отказоустойчивости ССС можно было бы применить, например, так называемое троирование – три канала цифрового автомата, битовые выходы которых поступают на три входа мажоритарного элемента, реализующего мажоритарную функцию (выбора "два из трех"  $\geq 2$ ). Но тогда нарушается основной принцип самосинхронности – полумодулярность, что фиксируют существующие средства анализа корректности ССС. Авторами предложено комбинированное резервирование на основе транзисторных структур, парирующие отказы части транзисторов, возникающие в результате воздействия радиации и других негативных факторов. Однако такое резервирование возможно не всегда в силу ограничений Мида и Конвей. В статье предлагается методика комбинированного резервирования ССС с помощью транзисторных структур, обеспечивающая достижение заданной вероятности безотказной работы.

**Ключевые слова:** самосинхронная схемотехника – ССС; КМДП-транзистор; резервирование; вероятность безотказной работы; методика декомпозиции; транзисторная структура; расчетверение.

DOI: 10.17072/1993-0550-2016-4-63-67

### Введение

Самосинхронные схемы – ССС, впервые были предложены в работах Д. Маллера в конце 50-х гг. XX в. [1]. Элементная база тех лет не обеспечивала в полной мере реализацию принципов, сформулированных Маллером, хотя предположение о приведенных задержках соответствовало действительности.

На фоне активного развития ИМС малой, средней и начинающей уже развиваться в большей степени интеграции в СССР, в Ленинграде сформировалась группа энтузиастов под руководством В. Варшавского [2, 3], активно работавшая на поприще ССС до 1990-х гг. В постсоветский период направление ССС продолжает развиваться благодаря трудам его

бывших учеников и последователей, например А. Яковлева [3], работающего теперь в университете Нью-Касла (Великобритания).

В РФ активно работает научно-исследовательская группа института проблем информатики РАН, возглавляемая Ю. Степченко-вым, разработавшая и продолжающая совершенствовать библиотеку самосинхронных элементов [5]. Примеров коммерческого использования самосинхронной технологии немного, но они есть [6].

Развитие направления ССС по оценкам специалистов может внести вклад в создание отечественной электронной компонентной базы [7]. Большие надежды в этом плане возлагаются на базовые матричные кристаллы [8–14]. В некоторых важных областях применения весьма востребованы надежные, отка-

зоустойчивые цифровые устройства, особенно радиационно-стойкие [15–17].

Вопросы надежности самосинхронных схем по большей части рассматриваются в ракурсе активной отказоустойчивости [18–20]. Для аппаратуры, работающей на относительно небольшом временном участке, необходима пассивная отказоустойчивость [21]. Однако исследования в области пассивно отказоустойчивых ССС освещены в литературе недостаточно [22–23].

В статье предлагается методика комбинированного резервирования ССС, обеспечивающая пассивную отказоустойчивость.

### 1. Постановка задачи

Постановка задачи синтеза отказоустойчивой ССС с комбинированным потразисторным резервированием [24] выглядит следующим образом:

**Задано** максимальное число транзисторов  $q$  в последовательной цепочке схемы,  $k$  – число парируемых отказов.

В настоящее время в силу ограничений Мида и Конвей [25]  $q = 4$ . **Задана схема** – в виде  $d$  дизъюнкций конъюнкций от переменных  $x$ , описывающих подсхему подключения питания (имеются парафазные входы), каждая из которых представляется в виде

$$f_{d+} = \bigvee_{i=1}^{v_{d+}} \big\&_{j=1}^{n_{d+}} (\bar{x}_{ij}), \quad (1)$$

где  $v_{d+}$  – число членов дизъюнкции,  $n_{d+}$  – число членов конъюнкции подсхемы подключения питания.

Двойственная (1) функция подключения шины "Ноль вольт" (Ground) имеет вид

$$\bar{f}_{d+} = f_{d-} = \bigvee_{i=1}^{v_{d-}} \big\&_{j=1}^{n_{d-}} (x_{ij}), \quad (2)$$

где  $v_{d-}$  – число членов дизъюнкции,  $n_{d-}$  – число членов конъюнкции подсхемы подключения шины "Ноль вольт" (Ground).

Для комбинационной ССС имеется двойственный канал-схема, имеющий двойственные функциям (1) и (2) функции.

**Требуется получить** отказоустойчивую ССС с использованием комбинированного резервирования с достижением требуемой вероятности безотказной работы.

### 2. Декомпозиция ССС с целью обеспечения пассивной отказоустойчивости

Предлагается потразисторное резервирование с возможным резервированием источника питания в случае удовлетворения ограничения по числу транзисторов (индекс задержки) в последовательной цепочке  $d$   $\forall(d)[m_d \leq \lfloor \frac{q}{k+1} \rfloor]$  (по местности всех операций) с вероятностью безотказной работы:

$$P(t)_d = \prod_{\xi=1}^d \left\{ e^{(k+1)^2 \cdot \lambda_m \cdot t} + \sum_{\xi=1}^k C_{(k+1)^2}^{\xi} \cdot (e^{\xi \cdot \lambda_m \cdot t}) (1 - e^{[(k+1)^2 - \xi] \cdot \lambda_m \cdot t}) \right\}^{2d}, \quad (3)$$

где  $\lambda_m$  – интенсивность отказов транзистора,  $t$  – время,  $C_{(k+1)^2}^{\xi}$  – число сочетаний.

В случае превышения ограничения

$$\exists(d)[m_d > \lfloor \frac{q}{k+1} \rfloor]$$

предлагается декомпозиция для выполнения ограничения  $\forall(d)[m_d \leq \lfloor \frac{q}{k+1} \rfloor]$ .

Очевидно, что при декомпозиции достаточно реализовать условия по максимальному количеству  $v_{d+}$ ,  $n_{d+}$  либо  $v_{d-}$ ,  $n_{d-}$ , а другая функция получится инверсией декомпозированной:

$$\begin{aligned} f_{d+} &= \Phi_{\mu} \left[ \bigvee_{i=1}^{v_{\mu+}^*} \big\&_{j=1}^{n_{\mu+}^*} (\bar{x}_{ij}) \right]; f_{d-} = \\ &= \bigvee_{i=1}^{v_{\mu-}^*} \big\&_{j=1}^{n_{\mu-}^*} (x_{ij}); v_{d+}^* \leq \left\lfloor \frac{q}{k+1} \right\rfloor; \\ & n_{d+}^* \leq \left\lfloor \frac{q}{k+1} \right\rfloor; \\ v_{d-}^* \leq \left\lfloor \frac{q}{k+1} \right\rfloor; n_{d-}^* \leq \left\lfloor \frac{q}{k+1} \right\rfloor, \end{aligned} \quad (4)$$

где  $\Phi_{\mu}$  – суперпозиция  $\mu$  подфункций для реализации  $f$ , удовлетворяющей ограничению  $q/k+1$ ;  $v_{\mu+}^*$  – число членов  $i$ -й дизъюнкции после декомпозиции;  $n_{\mu+}^*$  – число членов  $j$ -й конъюнкции подсхемы подключения питания

после декомпозиции;  $V_{\mu-}^*$  – число членов  $i$ -й дизъюнкции после декомпозиции,  $n_{\mu-}^*$  – число членов  $j$ -й конъюнкции подсхемы подключения шины "Ноль вольт" (Ground) в  $\mu$ -й подфункции  $d$ -й декомпозируемой функции.

Суперпозиция  $\Phi_{\mu}$  выполняется с помощью известного приема двойной инверсии и введения промежуточных подфункций вида

$$\overline{\left[ \frac{q}{k+1} \right] \left[ \frac{q}{k+1} \right]} \bigwedge_{i=1} \bigwedge_{j=1} (\bar{x}_{ij}). \quad (5)$$

Соответственно во второй части схемы получим подфункции вида

$$\left[ \frac{q}{k+1} \right] \left[ \frac{q}{k+1} \right] \bigwedge_{i=1} \bigwedge_{j=1} (\bar{x}_{ij}). \quad (6)$$

Рассмотрим пример.

Пусть исходный элемент основного или двойственного канала ССС имеет вид (рис. 1)

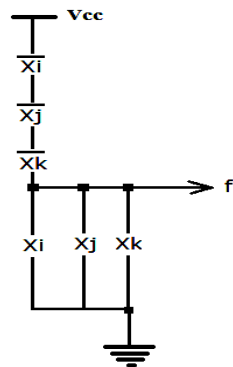


Рис. 1. Исходный элемент

Выполнение декомпозиции (4–6) приводит к схеме (рис. 2)

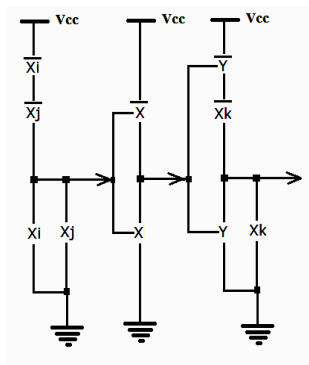


Рис. 2. Элемент с выполненной декомпозицией

В случае рис. 1 имеем последовательную цепочку. Рассмотрим параллельную цепочку (рис. 3).

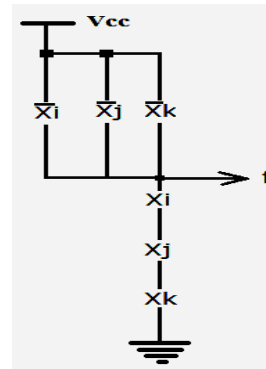


Рис. 3. Исходный элемент с параллельной цепочкой, препятствующей удовлетворению ограничения Мида и Конвей

Параллельная декомпозиция приводит к схеме на рис. 4.

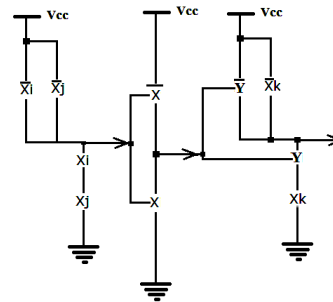


Рис. 4. Параллельная декомпозиция схемы рис. 3

Последовательно-параллельная декомпозиция изображена на рис. 5.

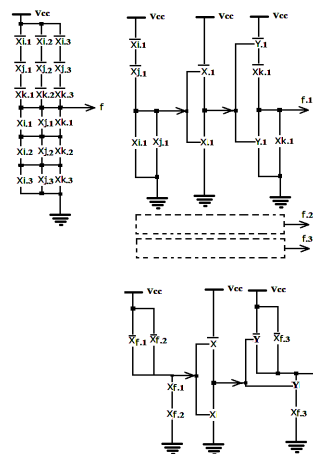


Рис. 5. Последовательно-параллельная декомпозиция

Пусть задана произвольная функция:

$$\overline{\overline{\overline{(EB) \vee (UB)}}}Q \vee \overline{(E0)Q} = QB = \overline{Y} \vee \overline{(E0)Q}.$$

Обозначим

$$\overline{\overline{\overline{(EB) \vee (UB)}}}Q = X$$

$$\overline{\overline{\overline{(EB) \vee (UB)}}}Q = \overline{X} = Y.$$

Тогда получаем

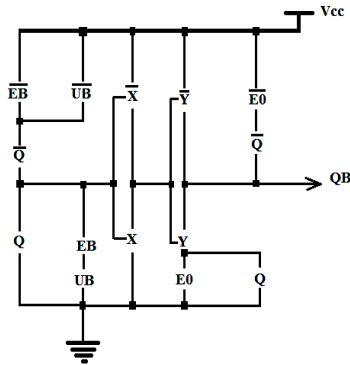


Рис. 6. Декомпозиция произвольной функции  $\overline{\overline{\overline{(EB) \vee (UB)}}}Q \vee \overline{(E0)Q}$

В этом случае (см. рис. 6) происходит своего рода "отделение" одной допустимой ветви  $\overline{(E0)Q}$ .

### Выводы

Таким образом, предложена методика получения отказоустойчивой ССС с оптимизацией по двум показателям – вероятности безотказной работы и аппаратурным затратам. Используется комбинированное резервирование, т. е. в случаях соблюдения ограничения Мида и Конвей выполняется непосредственное резервирование транзисторных структур основной и двойственной частей комбинационной ССС либо элементов памяти.

В случае несоблюдения ограничения Мида и Конвей выполняется предложенная декомпозиция, но ее результаты должны быть корректны с точки зрения полумодулярности [5], т.е. проходят проверку системой ТРАНАЛ (БТРАН) [5]. Иначе выполняется расчленение элемента с использованием функционально-полного толерантного элемента – ФПТЭ [23–24] на выходе полученной структуры. Необходимо учитывать тот факт, что ФПТЭ инвертирует сигнал. Обеспечение отказоустойчивости гистерезисных триггеров (Г-триггеров) выполняется путем каскадирования отказоустойчивых Г-триггеров на 2 входа.

Предложенная методика позволяет проектировать пассивно отказоустойчивые ССС для использования их в высоконадежных областях применения [16], в том числе в специальной аппаратуре.

### Список литературы

1. Muller D. E., Bartky W. S. A theory of asynchronous circuits // Proc. Int Symp. On the Theory of Switching. P. 1. Harvard University Press, 1959. P. 204–243.
2. Аperiodические автоматы / под ред. В.И. Варшавского. М.: Наука, 1976. С. 304.
3. Варшавский В.И., Мараховский В.Б., Розенблюм Л.Я. и др. § 4.3 Аperiodическая схемотехника, в кн. Искусственный интеллект, т. 3: Программные и аппаратные средства / под ред. В.Н. Захарова и В.Ф. Хорошевского. М.: Радио и связь, 1990.
4. Yakovlev A. Energy-modulated computing // Design, Automation & Test in Europe Conference & Exhibition (DATE), 2011. IEEE, 2011. С. 1–6.
5. Степченков Ю.А., Денисов А.Н., Дьяченко Ю.Г. и др. Библиотека элементов для проектирования самосинхронных полужаказных микросхем серий 5503/5507 и 5508/5509. М.: ИПИ РАН, 2008. 296 с.
6. Hollosi B. et al. Delay-insensitive asynchronous ALU for cryogenic temperature environments // Circuits and Systems. 2008.
7. MWSCAS 2008. 51st Midwest Symposium on. IEEE. 2008. С. 322–325.
8. Проблемы создания отечественной элементной компонентной базы. URL: <http://www.electronics.ru/journal/article/295>. (дата обращения: 27.06.2015).
9. Инновационный комплекс МИЭТ. URL: <http://miet.ru/content/s/200> (дата обращения: 27.06.2015).
10. Базовые матричные кристаллы. URL: [http://www.asic.ru/index.php?option=com\\_content&view=article&id=52&Itemid=92](http://www.asic.ru/index.php?option=com_content&view=article&id=52&Itemid=92) (дата обращения: 27.06.2015).
11. Гаврилов С.В., Денисов А.Н., Коняхин В.В., Макарецва М.М. САПР "Ковчег 3.0" для проектирования микросхем на БМК серий 5503, 5507, 5521 и 5529. М., 2013. 295 с.
12. Денисов А.Н., Фомин Ю.П., Коняхин В.В. и др. Библиотека функциональных ячеек для проектирования полужаказных микросхем серий 5503 и 5507/ / под общ. ред. А.Н. Саурова. М.: Техносфера, 2012. 304 с.
13. МЦСТ. Микропроцессор нового поколения Эльбрус 2С+ URL:

- <http://www.mcst.ru/modul-comexpress> (дата обращения: 28.06.2015).
14. Федеральное государственное учреждение "Федеральный научный центр Научно-исследовательский институт системных исследований Российской академии наук". URL: <https://www.niisi.ru/> (дата обращения: 28.06.2015).
  15. ОАО КБ "Корунд-М". URL: <http://www.korund-m.ru/> (дата обращения 28.06.2015).
  16. Donald C. Mayer, Ronald C. Laco. Designing Integrated Circuits to Withstand Space Radiation. Vol. 4, № 2, Crosslink. URL: <http://www.aero.org/publications/crosslink/summer2003/06.html> (дата обращения: 20.05.2015).
  17. Юдинцев В. Радиационно-стойкие интегральные схемы. Надежность в космосе и на земле // Электроника: Наука, Технология, Бизнес. 2007. № 5. С. 72–77. ISSN 1992-4178. URL: [http://www.electronics.ru/files/article\\_pdf/0/article\\_592\\_363.pdf](http://www.electronics.ru/files/article_pdf/0/article_592_363.pdf) (дата обращения: 29.05.2015).
  18. Чекмарёв С.А. Способ и система инъекции ошибок для тестирования сбоеустойчивых процессоров бортовых систем космических аппаратов // Вестник Сибирского государственного аэрокосмического университета им. акад. М.Ф. Решетнева. Вып. 4 (56). 2014. URL: <http://cyberleninka.ru/article/n/sposob-i-sistema-inektsii-oshibok-dlya-testirovaniya-sboeustoychevyh-protsessorov-bortovyh-sistem-kosmicheskikh-apparatov> (дата обращения: 16.12.2015).
  19. ГОСТ Р 53480-2009. Надежность в технике. Термины и определения. ИЕС 60050 (191):1990-12 (NEQ). М.: Стандартинформ, 2010.
  20. ГОСТ 20911-89. Техничская диагностика. Термины и определения. М.: Стандартинформ, 2019.
  21. *Stuck-at fault*. URL: [http://en.wikipedia.org/wiki/Stuck-at\\_fault](http://en.wikipedia.org/wiki/Stuck-at_fault) (дата обращения: 28.05.2015).
  22. Бородин В.А. и др. Отказоустойчивые вычислительные системы. МО СССР, 1990. С. 55.
  23. Тюрин С.Ф., Каменских А.Н. Анализ отказоустойчивой самосинхронной реализации двоичного сумматора // Вестник Пермского национального исследовательского политехнического университета. Электротехника, информационные технологии, системы управления. 2014. № 1(9). С. 25–39.
  24. Kamenskih, A.N., Tyurin, S.F. Features that provide fault tolerance of self-synchronizing circuits // Russian Electrical Engineering. 2015. P. 672–682.
  25. Tyurin S.F., Kamenskih A.N. Research into the reservation of logic function at transistor level. В мире научных открытий. 2014. № 10(58). С. 232–247.
  26. Ульман Дж. Д. Вычислительные аспекты СБИС / пер. с англ. А.В. Неймана / под ред. П.П. Пархоменко. М.: Радио и связь, 1990. 480 с.

## Method of combined redundancy for self-timed technology

S. F. Tyurin<sup>1</sup>, A. N. Kamenskih<sup>2</sup>

Perm National Research Polytechnic University; 29, Komsomolsky prospekt, Perm, 614990, Russia

<sup>1</sup>tyurinsergfeoyandex.ru; +7 952-320-02-510

<sup>2</sup>antoshkinoinfo@yandex.ru; +7-902-64-125-45

One of the current problems concerning self-timed circuits (STC) is the issue of providing fault tolerance. The main attention is given to active fault tolerance. To provide passive fault tolerance of a STC, one could apply, e.g., so called triplication – three channels of a digital machine whose bit outputs are connected with three inputs of the majority element, implementing the majority function (choice "2-of-3"  $\geq 2$ ). However, in this case the basic principle of self-timed technology - its semimodularity – is violated, which is registered by the existing tools for analyzing a STC correctness. The authors propose a method of combined redundancy based on transistor structures, rejecting faults of some transistors resulting from exposure to radiation and other negative factors. However, such redundancy is not always possible and is subject to limitations of Mead and Conway. The article presents a method of combined redundancy for STC with the use of transistors, allowing one to achieve a set probability of failure-free performance.

**Keywords:** *self-timed technology; CMOS transistor; redundancy; probability of failure-free operation; method of decomposition; transistor structure; quadrupling; failure resistance; majority element.*