

УДК 681.32

Самосинхронный регистр с расчетверением транзисторов

С. Ф. Тюрин¹, А. Н. Каменских²Пермский национальный исследовательский политехнический университет
Россия, 614990, Пермь, ул. Комсомольский пр., 29¹tyurinsergfe@yandex.ru; +7-952-32-02-510²antoshkinoinfo@yandex.ru; +7-902-64-125-45

Самосинхронная схемотехника (ССС) является альтернативой синхронной и обеспечивает фиксацию завершения переходного процесса, что повышает быстродействие, позволяет работать на сверхнизких напряжениях питания и выполнять самоконтроль. Основоположителем СССР является Д. Маллер. В настоящее время СССР активно продвигается не только на "зеленой" волне энергосберегающих технологий, но и в русле повышения степени интеграции цифровых чипов до наноуровня, когда уже начинают сказываться квантовые эффекты. В Институте проблем информатики – ИПИ РАН активно работает группа Ю.А. Степченкова, которая, продолжая дело группы В.И. Варшавского, разработала обширную библиотеку самосинхронных элементов. В Великобритании работает в направлении СССР проф. А. Яковлев, ранее работавший с В. Варшавским. Однако вопросы отказоустойчивости самосинхронных схем до сих пор исследованы недостаточно. Авторами статьи предложено комбинированное резервирование самосинхронной схемотехники (ССС) на основе расчетверения (по терминологии классификатора ФИПС) транзисторов. В статье предлагается и оценивается комбинированное резервирование триггеров самосинхронного регистра, выполняющего функции приемопередатчика тестового самосинхронного процессора. Показывается эффективность такого резервирования по сравнению с троированием.

Ключевые слова: самосинхронная схемотехника; самосинхронный регистр; КМДП-транзистор; резервирование; вероятность безотказной работы; мажоритарный элемент; транзисторная структура.

DOI: 10.17072/1993-0550-2016-3-103-109

Введение

Самосинхронная схемотехника, впервые предложенная в работах Маллера [1] в конце 1950-х гг. XX в. и развитая в СССР ленинградской группой В. Варшавского [2, 3] в постсоветский период продолжает развиваться благодаря трудам его бывших учеников и последователей, например Алекса Яковлева [3], работающего теперь в университете Нью-Касла (Великобритания). В России активно работает исследовательская группа института проблем информатики РАН, возглавляемая Ю. Степченковым, разработавшая и продолжающая совершенствовать библиотеку самосинхронных элементов [5]. Имеются примеры

коммерческого использования самосинхронной технологии [6]. Это направление в нашей стране может внести вклад в создание отечественной электронной компонентной базы [7], степень актуальности которой подошла уже к критической отметке. В этом плане большие надежды возлагаются на базовые матричные кристаллы [8–11], использование которых, в том числе для реализации самосинхронных цифровых решений, в какой-то мере может компенсировать технологическое отставание в критических областях, особенно в оборонной, хотя некоторые подвижки на "интегральном" поприще и внушают определенный оптимизм [12–14]. В этих областях применения весьма востребованы надежные, отказоустойчивые цифровые устройства, особенно радиационно-стойкие [15–17]. Однако вопросы на-

дежности самосинхронных схем по большей части рассматриваются в ракурсе активной отказоустойчивости, путем дублирования, в предположении о том, что имеются соответствующие средства контроля, которые зафиксируют отказ [18–20], а средства реконфигурации отключают неисправный канал и подключают исправный. Для ряда важных областей необходима пассивная отказоустойчивость [21], когда отказ или ошибка (этот термин по аналогии с английским "error" теперь используется в ГОСТ [18] вместо термина "сбой") не замечается, маскируется устройством или системой, что требует значительно большей избыточности, но зато не требует временных затрат на восстановление. Тем не менее, исследования в области пассивно отказоустойчивых самосинхронных схем освещены в литературе недостаточно, в основном речь идет о комбинационных схемах [22–23].

В статье предпринята попытка построить пассивно отказоустойчивую регистровую самосинхронную схему, используемую в качестве приема-передающего порта [5] на основе потранзисторного резервирования [24]. Анализ сложности и вероятности безотказной работы нерезервированного самосинхронного приема-передающего порта, состоящего из трех типов триггеров и описанного в [5], при экспоненциальной модели отказов транзисторов позволяет получить выражением

$$P(t)_b = e^{-(22+52+54 \cdot 6 + 54 \cdot 8 \cdot (b-1) + 16 \cdot 2^{\lceil \log_2 8b \rceil - 1}) \lambda \cdot t}, \quad (1)$$

где λ – интенсивность отказов одного транзистора; b – число байт, принимаемых регистром; 22 – сложность в транзисторах первого триггера, именуемого в библиотеке элементов аббревиатурой R1RE11; 52 – последнего R1RE22; 54 – промежуточных триггеров SIRRE2; $16 \cdot 2^{\lceil \log_2 8b \rceil - 1}$ – сложность гистерезисных триггеров, остальная аппаратура обрамления имеет незначительную сложность и не учитывается. Предложим потранзисторное резервирование с учетом ограничений на число последовательно включенных транзисторов (не более 4) [25].

1. Расчетверение транзисторов триггеров самосинхронного регистра с учетом b байт

Первый триггер – R1RE11 – изображен на рис. 1.

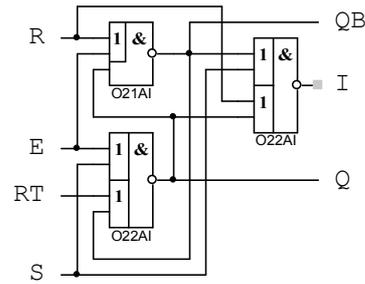


Рис. 1. Первый триггер R1RE11

Первый триггер регистра – R1RE11 – содержит 22 транзистора, при этом во всех цепочках не более 2 транзисторов, поэтому при резервировании путем расчленения ограничения [25] выполняются [24], получаем:

$$P(t)_{ft-R1RE11} = [e^{-(4)\lambda \cdot t} + 4 \cdot e^{-3\lambda \cdot t} (1 - e^{-1\lambda \cdot t})]^{22}. \quad (2)$$

При увеличении числа байт не изменяется. Затраты – 88 транзисторов. Последний триггер регистра – R1RE22 – представлен на рис. 2.

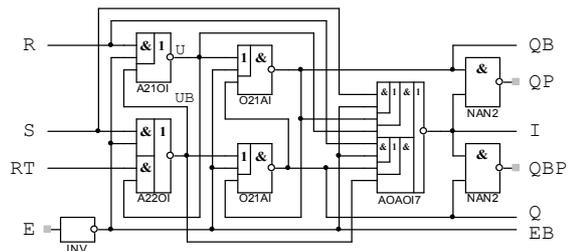


Рис. 2. Последний триггер R1RE22

Триггер R1RE22 содержит 28 транзисторов в самой двухступенчатой памяти, но имеет индикатор AOA17 (16 транзисторов), в котором число транзисторов в последовательной цепочке превышает ограничения, поэтому предлагается повторить его 4 раза, учитывая блоки NAN2, т. е. получаем формулу:

$$P(t)_{R-R1RE22} = [e^{-(4)\lambda \cdot t} + 4 \cdot e^{-3\lambda \cdot t} (1 - e^{-1\lambda \cdot t})]^{28} \cdot [e^{-(64)\lambda \cdot t} + 4 \cdot e^{-48\lambda \cdot t} (1 - e^{-16\lambda \cdot t})] \cdot e^{-(16)\lambda \cdot t} \quad (3)$$

Затраты (112+ 64+16) транзисторов.

Основной триггер SIRRE2 для удовлетворения ограничения [25] требует декомпозиции (детальное рассмотрение которой, названной комбинированным расчетверением, предполагается в отдельной статье) второй ступени A31O11, A31O11 и резервирования индикатора OAOA1 (рис. 3).

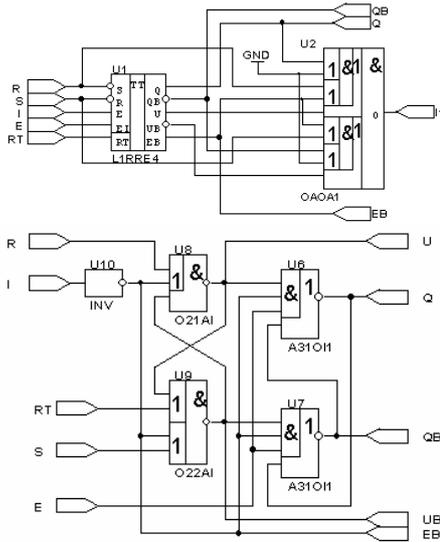


Рис. 3. Основной триггер SIRRE2

После декомпозиции второй ступени А31ОП1 получим (рис. 4).

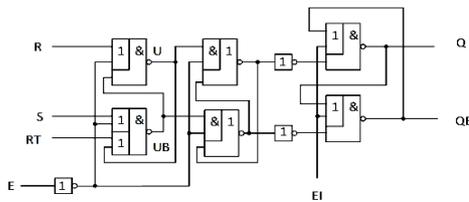


Рис. 4. Основной триггер SIRRE2 с декомпозицией второй ступени

То есть получаем после декомпозиции:

$$P(t)_{6-й-SIRRE2} = \{ [e^{-(4)\lambda t} + 4 \cdot e^{-3\lambda t} (1 - e^{-1\lambda t})]^{44} [e^{-(80)\lambda t} + 4 \cdot e^{-60\lambda t} (1 - e^{-20\lambda t})] \cdot e^{-(16)\lambda t} \}^6 \quad (4)$$

В случае b байт

$$P(t)_{b-й-SIRRE2} = \{ [e^{-(4)\lambda t} + 4 \cdot e^{-3\lambda t} (1 - e^{-1\lambda t})]^{44} [e^{-(80)\lambda t} + 4 \cdot e^{-60\lambda t} (1 - e^{-20\lambda t})] \cdot e^{-(16)\lambda t} \}^6 \cdot \{ [e^{-(4)\lambda t} + 4 \cdot e^{-3\lambda t} (1 - e^{-1\lambda t})]^{44} [e^{-(80)\lambda t} + 4 \cdot e^{-60\lambda t} (1 - e^{-20\lambda t})] \cdot e^{-(16)\lambda t} \}^{8(b-1)} \quad (5)$$

Затраты – $(44 \cdot 4 + 80 + 16)$ в степени $6 + (44 \cdot 4 + 80 + 16)$ в степени $8 \cdot (b-1)$ транзисторов.

К дополнительной аппаратуре относятся Г-триггеры, количество которых при условии наличия у них двух входов можно оценить числом узлов по уровням соответствующего дерева для одного байта 4, 2, 1 всего 7, т.е. $2^3 - 1$, на единицу меньше байта. Если имеется b байт, получаем $2^{\lceil \log_2 8b \rceil} - 1$. То есть, получим:

$$P(t)_{Г-Т} = [e^{-(4)\lambda t} + 4 \cdot e^{-3\lambda t} \cdot (1 - e^{-1\lambda t})]^{28 \cdot (2^{\lceil \log_2 8b \rceil} - 1)} \quad (6)$$

4. Оценка троирования аппаратуры регистра при наличии b байт порта

В случае мажоритирования с одним мажоритаром (сложность которого – 12 транзисторов), R1RE11 (сложность – 22 транзистора), имеющий три выхода, описывается формулой (7):

$$P(t)_{3-R1RE11} = [3 \cdot e^{-2 \cdot (22) \cdot \lambda \cdot t} - 2 \cdot e^{-3 \cdot (22) \cdot \lambda \cdot t}] \cdot e^{-(3 \cdot 12 + 6 + 6) \cdot \lambda \cdot t} \quad (7)$$

Триггер R1RE22 (сложность – 52 транзистора), имеющий 4 выхода, описывается формулой (8):

$$P(t)_{3-R1RE22} = [3 \cdot e^{-2 \cdot (52) \cdot \lambda \cdot t} - 2 \cdot e^{-3 \cdot (52) \cdot \lambda \cdot t}] \cdot e^{-(4 \cdot 12 + 6 + 6) \cdot \lambda \cdot t} \quad (8)$$

Триггер S1RRE2 (сложность – 54 транзистора), имеющий 4 выхода, описывается формулой (9).

$$P(t)_{3-1 \times S1RRE2} = [3 \cdot e^{-2 \cdot (54) \cdot \lambda \cdot t} - 2 \cdot e^{-3 \cdot (54) \cdot \lambda \cdot t}] \cdot e^{-(4 \cdot 12 + 6 + 6) \cdot \lambda \cdot t} \quad (9)$$

Поскольку для одного байта таких триггеров b , получим

$$P(t)_{3-6 \times S1RRE2} = \left([3 \cdot e^{-2 \cdot (54) \cdot \lambda \cdot t} - 2 \cdot e^{-3 \cdot (54) \cdot \lambda \cdot t}] \cdot e^{-4 \cdot 12 \cdot \lambda \cdot t} \right)^6 \quad (10)$$

При наличии b байт порта вероятность безотказной работы имеет вид

$$P(t)_{3-b \times S1RRE2} = \left([3 \cdot e^{-2 \cdot (54) \cdot \lambda \cdot t} - 2 \cdot e^{-3 \cdot (54) \cdot \lambda \cdot t}] \cdot e^{-4 \cdot 12 \cdot \lambda \cdot t} \right)^6 \cdot \left([3 \cdot e^{-2 \cdot (54) \cdot \lambda \cdot t} - 2 \cdot e^{-3 \cdot (54) \cdot \lambda \cdot t}] \cdot e^{-4 \cdot 12 \cdot \lambda \cdot t} \right)^{8(b-1)} \quad (11)$$

Затраты $(162 + 48)$ в степени $6 + (162 + 48)$ в степени $8(b-1)$.

В случае мажоритирования с тремя мажоритарными (сложность которого – 12 транзисторов), R1RE11 (сложность – 22 транзистора), имеющий три выхода, описывается формулой

$$P(t)_{3,3-R1RE11} = [3 \cdot e^{-2 \cdot (22) \cdot \lambda \cdot t} - 2 \cdot e^{-3 \cdot (22) \cdot \lambda \cdot t}] \cdot [3 \cdot e^{-2 \cdot (12) \cdot \lambda \cdot t} - 2 \cdot e^{-3 \cdot (12) \cdot \lambda \cdot t}]^3 \quad (12)$$

В случае мажоритирования с тремя мажоритарными триггер R1RE22 (сложность – 52 транзистора), имеющий 6 выходов, описывается формулой

$$P(t)_{3,3-R1RE22} = [3 \cdot e^{-2 \cdot (52) \cdot \lambda \cdot t} - 2 \cdot e^{-3 \cdot (52) \cdot \lambda \cdot t}] \cdot [3 \cdot e^{-2 \cdot (12) \cdot \lambda \cdot t} - 2 \cdot e^{-3 \cdot (12) \cdot \lambda \cdot t}]^6$$

Триггер S1RRE2 (сложность – 54 транзистора), имеющий 4 выхода, описывается формулой

$$P(t)_{3,3-1 \times S1RRE2} = [3 \cdot e^{-2 \cdot (54) \cdot \lambda \cdot t} - 2 \cdot e^{-3 \cdot (54) \cdot \lambda \cdot t}] \cdot [3 \cdot e^{-2 \cdot (12) \cdot \lambda \cdot t} - 2 \cdot e^{-3 \cdot (12) \cdot \lambda \cdot t}]^4 \quad (14)$$

Поскольку для одного байта таких триггеров 6, получим:

$$P(t)_{3,3-6 \times S1RRE2} = \left([3 \cdot e^{-2 \cdot (54) \cdot \lambda \cdot t} - 2 \cdot e^{-3 \cdot (54) \cdot \lambda \cdot t}] \cdot [3 \cdot e^{-2 \cdot (12) \cdot \lambda \cdot t} - 2 \cdot e^{-3 \cdot (12) \cdot \lambda \cdot t}]^4 \right)^6 \quad (15)$$

4. Сравнение вероятностей безотказной работы вариантов схем самосинхронного регистра

Построим в СКМ МАТКАД графики изменения вероятности безотказной работы исходной схемы самосинхронного регистра без резервирования $P(t)$, вероятности безотказной работы резервированной схемы – с комбинированным расчетверением $P(t)_{flm}$, вероятности безотказной работы резервированной – троированной схемы с одним мажоритаром P_3 и троированной схемы с тремя мажоритарам P_{33} при заданной интенсивности отказов для заданного числа байтов.

Возьмем интенсивность отказов $\lambda = 10^{-5}$, один байт, получим рис. 5.

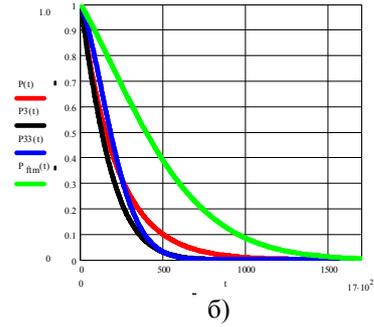
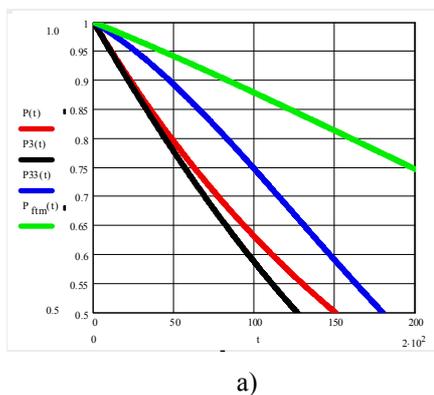


Рис. 5. Графики изменения вероятности безотказной работы а) – в диапазоне от 1 до 0,5; б) в диапазоне от 1 до 0 – схемы без резервирования $P(t)$, вероятности безотказной работы резервированной схемы – с комбинированным расчетверением $P(t)_{flm}$, вероятности безотказной работы резервированной – троированной схемы с одним мажоритаром P_3 и троированной схемы с тремя мажоритарам P_{33} при интенсивности отказов (сбоев) $\lambda = 10^{-5}$ /час для одного байта

Зададим при той же интенсивности отказов $\lambda = 10^{-5}$ два байта, получим рис. 6.

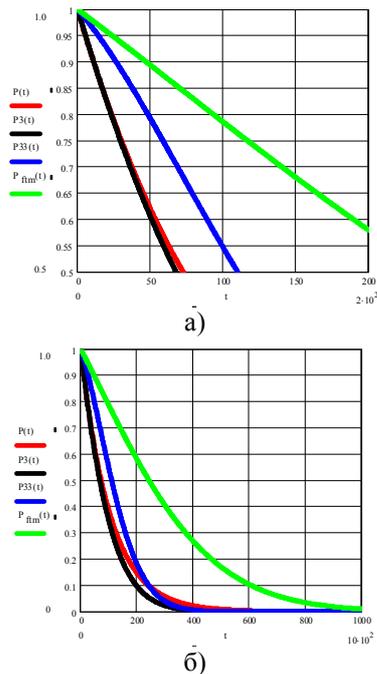


Рис. 6. Графики изменения вероятности безотказной работы а) в диапазоне от 1 до 0,5; б) в диапазоне от 1 до 0 – схемы без резервирования $P(t)$, вероятности безотказной работы резервированной схемы – с комбинированным расчетверением $P(t)_{flm}$, вероятности безотказной работы резервированной – троированной схемы с одним мажоритаром P_3 и троированной схемы с тремя мажоритарам P_{33} при интенсивности отказов (сбоев) $\lambda = 10^{-5}$ /час для двух байтов

Зададим при тех же условиях восемь байт, получим рис. 7.

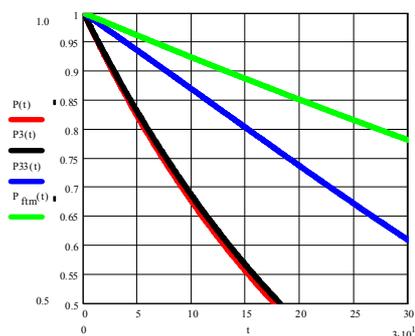


Рис. 7. Графики изменения вероятности безотказной работы в диапазоне от 1 до 0,5 – схемы без резервирования $P(t)$, вероятности безотказной работы резервированной схемы – с комбинированным расчетверением $P(t)_{\text{lim}}$, вероятности безотказной работы резервированной – троированной схемы с одним мажоритаром P_3 и троированной схемы с тремя мажоритарными P_{33} при интенсивности отказов (сбоев) $\lambda = 10^{-5}$ 1/час для восьми байтов

Однако оценим еще и так называемую удельную надежность – в пересчете на один транзистор в зависимости от числа байт (рис. 8) и времени (рис. 9).

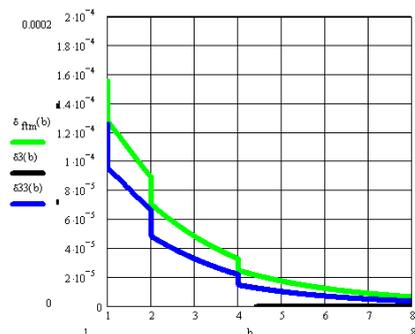


Рис. 8. Графики изменения удельной вероятности безотказной работы резервированной схемы – с комбинированным расчетверением δ_{lim} , резервированной – троированной схемы с одним мажоритаром δ_3 и троированной схемы с тремя мажоритарными δ_{33} при интенсивности отказов (сбоев) $\lambda = 10^{-5}$ 1/час для 200 часов работы в зависимости от числа байт

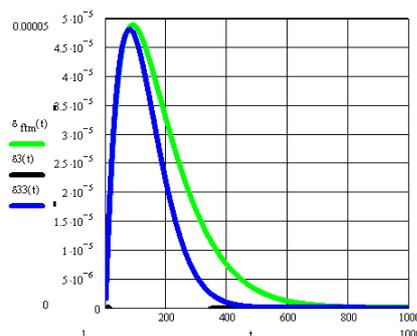


Рис. 9. Графики изменения удельной вероятности безотказной работы резервированной схемы – с комбинированным расчетверением δ_{lim} , резервированной – троированной схемы с одним мажоритаром δ_3 и троированной схемы с тремя мажоритарными δ_{33} при интенсивности отказов (сбоев) $\lambda = 10^{-5}$ 1/час для четырех байт в зависимости от времени

Выводы

Таким образом, предложенное резервирование позволяет существенно повысить вероятность безотказной работы на всем интервале вероятностей по сравнению с троированными вариантами и нерезервированной схемой. Простое троирование (мажоритирование) не имеет смысла – оно уступает не резервированной схеме после определенного времени. При этом удельная вероятность безотказной работы схемы самосинхронного регистра с комбинированным расчетверением при небольшом числе байт превышает удельную вероятность безотказной работы троированной схемы самосинхронного регистра с тремя мажоритарными, а при большом числе байт – незначительно уступает ей.

Список литературы

1. Muller D.E., Bartky W.S. A theory of asynchronous circuits // Proc. Int Symp. On the Theory of Switching, Part 1. Harvard University Press, 1959. P. 204–243.
2. Аperiodические автоматы / под ред. Варшавского В.И. М.: Наука, 1976. С. 304.
3. Варшавский В.И., Мараховский В.Б., Розенблюм Л.Я., Яковлев А.В. § 4.3 Аperiodическая схемотехника // Искусственный интеллект, т. 3: Программные и аппаратные средства / под ред. В.Н. Захарова и

- В.Ф. Хорошевского. М.: Радио и связь, 1990.
4. *Yakovlev A.* Energy-modulated computing // Design, Automation & Test in Europe Conference & Exhibition (DATE), 2011. IEEE, 2011. С. 1–6.
 5. *Степченков Ю.А., Денисов А.Н., Дьяченко Ю.Г. и др.* Библиотека элементов для проектирования самосинхронных полужказных микросхем серий 5503/5507 и 5508/5509. М.: ИПИ РАН, 2008. 296 с.
 6. *Holloosi B. et al.* Delay-insensitive asynchronous ALU for cryogenic temperature environments // Circuits and Systems, 2008. MWSCAS 2008. 51st Midwest Symposium on. IEEE, 2008. С. 322–325.
 7. *Проблемы* создания отечественной элементной компонентной базы. URL: <http://www.electronics.ru/journal/article/295>. (дата обращения: 27.06.2015).
 8. *Инновационный* комплекс МИЭТ. URL: <http://miet.ru/content/s/200> (дата обращения: 27.06.2015).
 9. *Базовые* матричные кристаллы. URL: http://www.asic.ru/index.php?option=com_content&view=article&id=52&Itemid=92 (дата обращения: 27.06.2015).
 10. *Гаврилов С.В., Денисов А.Н., Коняхин В.В. и др.* САПР "Ковчег 3.0" для проектирования микросхем на БМК серий 5503, 5507, 5521 и 5529. М.: 2013. 295 с.
 11. *Денисов А.Н., Фомин Ю.П., Коняхин В.В. и др.* Библиотека функциональных ячеек для проектирования полужказных микросхем серий 5503 и 5507 / под общ. ред. А.Н. Саурова. М: Техносфера, 2012. 304 с.
 12. *МЦСТ.* Микропроцессор нового поколения Эльбрус 2С+. URL: <http://www.mcst.ru/modul-comexpress> (дата обращения: 28.06.2015).
 13. *Федеральное* государственное учреждение "Федеральный научный центр Научно-исследовательский институт системных исследований Российской академии наук" URL: <https://www.niisi.ru/> (дата обращения: 28.06.2015).
 14. *ОАО КБ "Корунд-М".* URL: <http://www.korund-m.ru/> (дата обращения: 28.06.2015).
 15. *Donald C. Mayer, Ronald C. Laco.* Designing Integrated Circuits to Withstand Space Radiation. Vol.4, № 2, Crosslink. URL: <http://www.aero.org/publications/crosslink/su> mmer2003/06.html (дата обращения: 20.05.2015).
 16. *Юдинцев В.* Радиационно-стойкие интегральные схемы. Надежность в космосе и на земле // Электроника: Наука, Технология. 2007. № 5. С. 72–77. ISSN 1992-4178. URL: http://www.electronics.ru/files/article_pdf/0/article_592_363.pdf (дата обращения: 29.05.2015).
 17. *Чекмарёв С.А.* Способ и система инъекции ошибок для тестирования сбоеустойчивых процессоров бортовых систем космических аппаратов // Вестник Сибирского государственного аэрокосмического университета им. академика М.Ф. Решетнева. Вып. № 4(56). 2014 URL: <http://cyberleninka.ru/article/n/sposob-i-sistema-inektsii-oshibok-dlya-testirovaniya-sboeustoychevyh-protssessorov-bortovyh-sistem-kosmicheskikh-apparatov> (дата обращения: 16.12.2015).
 18. *ГОСТ Р 53480-2009.* Надежность в технике. Термины и определения. ИЕС 60050 (191):1990-12 (NEQ). Москва: Стандартинформ, 2010.
 19. *ГОСТ 20911-89.* Техническая диагностика. Термины и определения. Москва: Стандартинформ, 2019.
 20. *Stuck-at fault.* URL: http://en.wikipedia.org/wiki/Stuck-at_fault (дата обращения: 28.05.2015).
 21. *Бородин В.А. и др.* Отказоустойчивые вычислительные системы. М.: МО СССР, 1990. С. 55.
 22. *Тюрин С.Ф., Каменских А.Н.* Анализ отказоустойчивой самосинхронной реализации двоичного сумматора // Вестник Пермского национального исследовательского политехнического университета. Электротехника, информационные технологии, системы управления. 2014. № 1(9). С. 25–39.
 23. *Kamenskih, A.N., Tyurin, S.F.* Features that provide fault tolerance of self-synchronizing circuits // Russian Electrical Engineering. 2015. P. 672–682.
 24. *Tyurin S.F., Kamenskih A.N.* Research into the reservation of logic function at transistor level. В мире научных открытий. 2014. № 10 (58). С. 232–247.
 25. *Дж. Д. Ульман.* Вычислительные аспекты СБИС / пер. с англ. А.В. Неймана / под ред. П.П. Пархоменко. М.: Радио и связь, 1990. 480 с.

A fault-tolerant self-timed register

S. F. Tyurin¹, A. N. Kamenskih²

Perm National Research Polytechnic University; 29, Komsomolsky prospekt, Perm, 614990, Russia

¹tyurinsergfe0@yandex.ru; +7 952-320-02-510

²antoshkinoinfo@yandex.ru; +7-902-64-125-45

Self-timed technology, the foundations of which were laid by D. Muller, has been actively promoted in recent years not only on the "green" wave of energy saving technologies, but also in line with the increasing integration of digital chips to the nanoscale, where quantum effects begin to affect. The Institute of Informatics Problems – IPI RAN, continuing work of V.I. Warsawski's research group, has developed an extensive library of self-timed elements. In the UK, A. Yakovlev, who previously worked with V.I. Warsawski, is now engaged in this field. However, questions of fault tolerance self-timed circuits are still investigated insufficiently. We know that to create reliable, fault-tolerant and radiation-resistant electronic components, redundancy, or redundant structure, is needed. Redundant structures are necessary to design highly reliable, fault-tolerant, radiation-tolerant electronic components. Triplication is often used for this task: the three channels of a discrete circuit are connected with a special major gate which implements the choice function (e.g., 2-of-3, ≥ 2). This redundancy is commonly used in critical computing systems with passive fault-tolerance. As is known, such redundant structures provide reliability advantages not for the whole time range. In this case (to reserve self-timed circuits), the basic principle of self-timed, semi-modular, devices is violated. The authors propose another technique of using redundant transistor structures for fault-tolerant computing systems as an alternative to triple modular redundancy. The paper proposes and evaluates a combined backup of triggers of a self-timed register using transistor structures. We show the effectiveness of this redundancy, compared with triple modular redundancy.

Keywords: *self-timed technology; transistor; redundancy; failure resistance; triple modular redundancy; quadrupling; CMOS transistors; probability of failure-free operation; the majority element; transistor structure.*

A fault-tolerant self-timed register

S. F. Tyurin¹, A. N. Kamenskih²

Perm National Research Polytechnic University; 29, Komsomolsky Av., Perm, 614990, Russia

¹tyurinsergfe0@yandex.ru; +7 952-320-02-510

²antoshkinoinfo@yandex.ru; +7-902-64-125-45

Self-timed technology, which laid the foundations of D. Muller, actively promoted in recent years, not only on the "green" wave of energy saving technologies, but also in line with the increasing degree of integration of digital chips to the nanoscale, where already beginning to affect the quantum effects. Institute of Informatics Problems – IPI RCA continuing the work of the group V.I. Warsawski, has developed an extensive library of self-timed elements. In the UK, he is now working in this direction Yakovlev, who previously worked with V.I. Warsawski. However, questions of fault tolerance self-timed circuits are still insufficiently investigated. We know that to create a reliable, fault-tolerant and radiation-resistant electronic components needed redundancy - redundant structure. The redundant structures is need for designing of high reliable, fault-tolerant, radiation-tolerant electronic components. Triplication is often uses for this task, the three channels of discrete circuit is connected with special major gate which implement choice function (for example 2-of-3, ≥ 2). This redundancy is commonly used in critical computing systems with passive fault-tolerance. It is known that such redundant structures provides advantages for reliability not for all time range. In this case (to reserve self-timed circuits) violated the basic principle of self-timed devices- semi-modular. The authors proposed another technique using redundant transistor structures for fault-tolerant computing systems as an alternative to tripling redundancy.

The paper proposes and evaluates a combined backup triggers self-timed register using transistor structures. We show the effectiveness of this redundancy, compared with a triple redundancy.

Keywords: *Self-timed technology; transistor; redundancy; failure resistance; triple redundancy; quadrupling; CMOS transistors; probability of failure-free operation; the majority element; transistor structure.*