

УДК 681.32

# Сравнение потранзисторного резервирования с троированием логических элементов

С. Ф. Тюрин<sup>1</sup>, А. Н. Каменских<sup>2</sup>

Пермский национальный исследовательский политехнический университет  
Россия, 614990, Пермь, ул. Комсомольский пр., 29

<sup>1</sup>tyurinsergfe@yandex.ru; +7-952-32-02-510

<sup>2</sup>antoshkinoinfo@yandex.ru; +7-902-64-125-45

Анализируется так называемое расчетверение – резервирование путем учетверения на уровне КМДП-транзисторов на примере полного сумматора. Показывается, что при таком резервировании цепочек транзисторов длиной более двух необходимо выполнять декомпозицию схемы сложения по модулю два (исключающее ИЛИ) в связи с ограничением в КМДП-схемах, запрещающих использование последовательного соединения более чем четырех транзисторов. Оцениваются аппаратные затраты и вероятность безотказной работы в сравнении с троированием. Показывается предпочтительность расчетверения.

**Ключевые слова:** *полный двоичный сумматор; функция суммы – сложение по модулю 2 трех переменных (исключающее ИЛИ); мажоритарная функция; КМДП-транзистор; отказоустойчивость.*

DOI: 10.17072/1993-0550-2016-2-138-141

## Введение

Как показано в [1–4] резервирование путем учетверения–расчетверения КМДП-транзисторов в ряде случаев позволяет даже выиграть в сложности по сравнению с троированной (мажоритированной) схемой – при определенном соотношении сложности исходной схемы и сложности мажоритарного (мажоритарных) элементов. При этом достигается значительный выигрыш в вероятности безотказной работы по сравнению с мажоритированием, конечно, за счет снижения быстродействия.

Вызывает интерес сравнение такого резервирования с троированием элементов. Исследуем резервирование на примере полного сумматора, содержащего схему сложения по модулю 2 трех переменных (исключающее ИЛИ 3XOR) и схему переноса – мажоритарный элемент.

### 1. Резервирование функции переноса на уровне транзисторов

Элемент, реализующий функцию бинарного переноса (мажоритарный элемент) с парафазным выходом при наличии парафаз-

ных входов переменных A, NA, B, NB, C, NC [5], с формированием парафазных выходов P, NP в упрощенном виде показан на рис. 1:

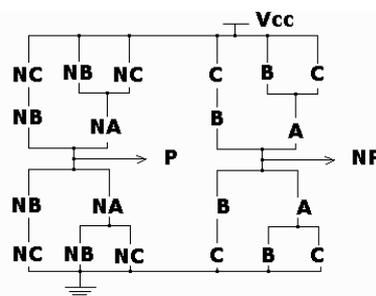


Рис. 1. Реализация функции бинарного переноса – мажоритарной функции

Элемент (рис. 1) реализует парафазную функцию переноса:

$$P(A, B, C, NA, NB, NC) = NB \cdot NC \vee NA \cdot (NC \vee NB), \tag{1}$$

$$NP(A, B, C, NA, NB, NC) = B \cdot C \vee A \cdot (C \vee B) \tag{2}$$

Предлагается резервирование путем расчетверения (или учетверения) на уровне каждого из КМДП-транзисторов. Так, схема подключения + питания (Vcc) будет выглядеть следующим образом (рис. 2):

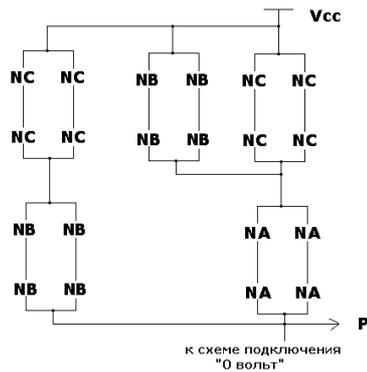


Рис. 2. Потранзисторное резервирование схемы подключения + питания (Vcc) функции (1)

Легко видеть, что отказ одного любого транзистора в каждой четверке КМДП-транзисторов не изменит значение логической функции, например NC:

$$NC \cdot NC \vee NC \cdot NC = NC. \quad (3)$$

Аналогичный (рис. 2) вид имеет и функция подключения шины «0» вольт. Так же резервируется функция (2). Все это возможно тогда и только тогда, когда в исходной схеме последовательно соединяются всего два транзистора, поэтому получим в предлагаемой схеме четыре транзистора, что соответствует ограничениям Мида и Конвей [6].

Для резервирования источника питания может быть предложен вариант (рис. 3):

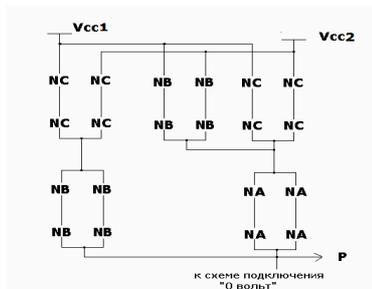


Рис. 3. Вариант резервирования источника питания

Получаем затраты  $4 \cdot 20 = 80$  транзисторов, максимальный путь от шин на выход (быстродействие) = 4 транзистора.

При троировании схемы реализации переноса с двумя выходными мажоритарными (для выходов P, NP) получаем такие же затраты:  $3 \cdot 20 + 20 = 80$  транзисторов, путь такой же – 4 транзистора. При троировании выходных мажоритаров получим:  $3 \cdot 20 + 3 \cdot 20 = 120$  транзисторов.

## 2. Оценка вероятности безотказной работы резервирования на уровне КМДП-транзисторов функции бинарного переноса

Покажем, что такое резервирование на уровне одного элемента позволяет получить большую вероятность безотказной работы, чем троирование, при тех же затратах в транзисторах.

Для транзисторной реализации сумматора при экспоненциальной модели отказов имеем:

$$P_1 = e^{-(20)\lambda \cdot t}. \quad (4)$$

Если резервировать каждый из 20 транзисторов, то

$$P(t)_{\text{fct2}} = [e^{-4\lambda \cdot t} + 4 \cdot e^{-3\lambda \cdot t}(1 - e^{-\lambda \cdot t})]^{20}. \quad (5)$$

При троировании с одним мажоритаром по каждому из двух выходов (для мажоритарирования будем использовать те же схемы реализации функции переноса) имеем:

$$P_3 = (3 \cdot e^{-2(20)\lambda \cdot t} - 2 \cdot e^{-3(20)\lambda \cdot t}) \cdot e^{-20\lambda \cdot t}. \quad (6)$$

Если троировать мажоритары по выходам, то получим

$$P_{3.3} = (3 \cdot e^{-2(20)\lambda \cdot t} - 2 \cdot e^{-3(20)\lambda \cdot t}) \cdot (3 \cdot e^{-2(10)\lambda \cdot t} - 2 \cdot e^{-3(10)\lambda \cdot t})^2. \quad (7)$$

Графики сравнения вариантов выражений (4)–(7) отказоустойчивой реализации функции переноса изображены на рис. 4, 5.

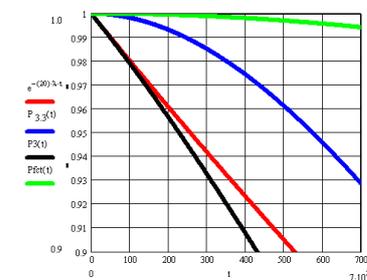


Рис. 4. Графики сравнения вариантов – выражения (4)–(7) отказоустойчивой реализации функции переноса,  $\lambda = 10^{-5}$  1/час

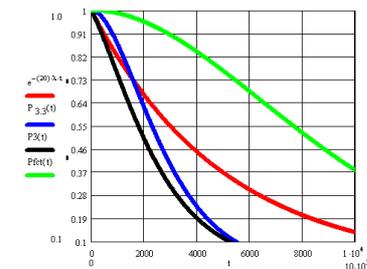


Рис. 5. Графики сравнения вариантов – выражения (4)–(7) отказоустойчивой реализации функции переноса до вероятности 0,1;  $\lambda = 10^{-5}$  1/час

Таким образом, потранзисторное резервирование дает существенный выигрыш в вероятности безотказной работы, причем быстродействие не уменьшается, в то время как простое троирование оказывается менее эффективным, чем нерезервированная схема, и попросту нецелесообразно. Троирование с тремя мажоритарными при увеличенных на 40% затратах (120 против 80 транзисторов) дает меньшее приращение вероятности безотказной работы. При достижении определенного времени такое резервирование также становится нецелесообразным.

### 3. Резервирование сложения по модулю 2 на уровне транзисторов

Транзисторная реализация парафазной бинарной суммы по модулю 2  $S, NS$  [5] при наличии парафазных входов переменных  $A, NA, B, NB, C, NC$  представляет собой (рис. 6).

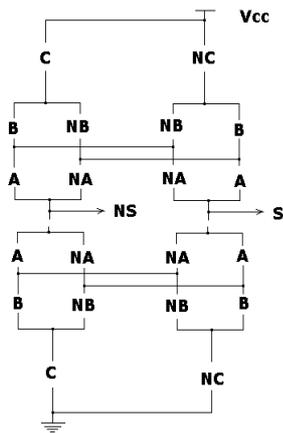


Рис. 6. Транзисторная реализация парафазной функции исключающего ИЛИ трех парафазных переменных  $A, NA, B, NB, C, NC$  (см. формулы 8, 9)

$$S(A, B, C, NA, NB, NC) = NA \cdot NB \cdot NC \vee NA \cdot B \cdot C \vee A \cdot NB \cdot C \vee A \cdot B \cdot NC, \quad (8)$$

$$NS(A, B, C, NA, NB, NC) = NA \cdot NB \cdot C \vee NA \cdot B \cdot NC \vee A \cdot B \cdot C \vee A \cdot NB \cdot C, \quad (9)$$

Можно увидеть, что в схеме имеется 3 КМДП-транзистора подряд, т. е. при резервировании получатся цепочки из 6 транзисторов подряд, что недопустимо [6].

Поэтому придется переходить от одной функции 3XOR к двум функциям 2XOR – т. е. выполнить декомпозицию на схемы, в которых имеется не более двух последовательно включенных транзисторов (рис. 7):

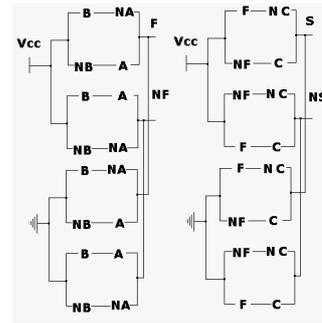


Рис. 7. Транзисторная реализация двух парафазных функций исключающего ИЛИ двух парафазных переменных  $A, NA, B, NB, F, NF, C, NC$  (см. формулы 10, 11)

$$S(A, B, F, NA, NB, NF) = NA \cdot NB \cdot NF \vee NA \cdot B \cdot F \vee A \cdot NB \cdot F \vee A \cdot B \cdot NF, \quad (10)$$

$$NS(A, B, F, NA, NB, NF) = NA \cdot NB \cdot F \vee NA \cdot B \cdot NF \vee A \cdot B \cdot F \vee A \cdot NB \cdot NF. \quad (11)$$

Таким образом, аппаратные затраты увеличиваются: было 20 транзисторов, стало 32, быстродействие снизилось: был путь 3, стал 4.

Итак, при потранзисторном резервировании получаем  $32 \cdot 4 = 168$  транзистора, путь увеличивается более чем в 2 раза – 8.

Отметим, что при мажоритировании нет необходимости в декомпозиции: получаем аппаратные затраты  $3 \cdot 20 = 60$ , плюс два мажоритарных по каждому выходу  $S, NS$  сложностью 10 транзисторов, итого 80. Путь 5.

Если использовать три мажоритарных, получаем сложность  $3 \cdot 20 + 3 \cdot 20 = 60 + 60 = 120$ , путь тот же – 5.

Сравним варианты реализации суммы по модулю 2 трех переменных без резервирования –  $e^{-24\lambda t}$ , резервирования с тремя мажоритарными ( $P_{3,3}$ ), резервирования с одним мажоритарным ( $P_3$ ), учетверение ( $P_{fct}$ ) (рис. 8, 9).

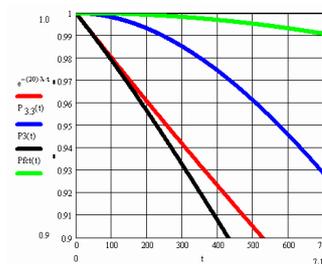


Рис. 8. Графики сравнения вариантов без резервирования –  $e^{-20\lambda t}$ , резервирования с тремя мажоритарными ( $P_{3,3}$ ), резервирования с одним мажоритарным ( $P_3$ ), учетверение ( $P_{fct}$ ) отказоустойчивой реализации сумматора,  $\lambda = 10^{-5}$  1/час

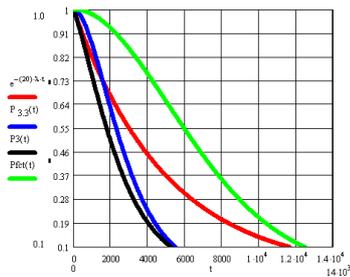


Рис. 9. Графики сравнения вариантов без резервирования  $-e^{-20\lambda t}$ , резервирования с тремя мажоритарными ( $P_{3,3}$ ), резервирования с одним мажоритаром ( $P_3$ ), учетверение ( $P_{4t}$ ) отказоустойчивой реализации сумматора в диапазоне до вероятности  $0,1$ ;  $\lambda = 10^{-5}$  1/час

### Выводы

Таким образом, резервирование по каждому КМДП-транзистору отдельное, потранзисторное резервирование, или расчетверение выглядит предпочтительнее по вероятности безотказной работы даже троированной схемы с троированием мажоритаров. Простое троирование (с одним мажоритаром) оказывается менее эффективным, чем нерезервированная схема и не имеет смысла на уровне сумматора. В то же время при потранзисторном резервировании допустимо большее количество отказов – один в каждой "четверке" транзисторов против одного отказа в одном из четырех экземпляров схемы. Но отдельное потранзисторное резервирование требует большего количества связей, при этом желательно расчетверение входов элемента.

## Comparison of triple redundancy logic elements and quadrupled CMOS transistors

S. F. Tyurin<sup>1</sup>, A. N. Kamenskih<sup>2</sup>

Perm National Research Polytechnic University; 29, Komsomolsky prospekt, Perm, 614990, Russia

<sup>1</sup>tyurinsergfe@yandex.ru; +7 952-320-02-510

<sup>2</sup>antoshkinoinfo@yandex.ru; +7-902-64-125-45

The article examines redundancy by quadrupling CMOS transistors by the example of a full adder. It is shown that in case there are more than two transistors in the original circuit transistor chain, it is necessary to perform the circuit decomposition due to the restrictions prohibiting the use of a serial connection of more than four transistors. Hardware costs and the probability of failure-free operation are evaluated in comparison with triple redundancy. The preference for quadrupling transistors is justified.

**Keywords:** CMOS transistor; full adder; reliability; failure resistance; triple redundancy; quadrupling CMOS transistors; carry; majority function.

В любом случае, быстродействие снижается – путь от шин питания увеличивается в 2 раза. При резервировании цепочек транзисторов длиной более двух необходимо выполнять декомпозицию (в связи с ограничением в КМДП-схемах, запрещающем использование последовательного соединения более чем четырех транзисторов). При этом сложность реализации значительно возрастает, а задержка увеличивается более чем в 2 раза.

### Список литературы

1. Tyurin S.F., Grekov A.V. Functionally Complete Tolerant Elements. International Journal of Applied Engineering Research ISSN 0973–4562 Vol. 10, № 14 (2015). P. 34433–34442.
2. Kamenskih, A.N., Tyurin, S.F. Features that provide fault tolerance of self-synchronizing circuits // Russian Electrical Engineering. 2015. P. 672–682.
3. Тюрин С.Ф. Логические элементы с избыточным базисом // Вестник Пермского университета. Серия: Математика. Механика. Информатика. 2013. Вып. 4(23). С. 42–59.
4. Тюрин С.Ф. Ячейка статической оперативной памяти. Патент РФ № 2573226. Опубл. БИ № 2 20.01.2016.
5. Степченков Ю.А., Денисов А.Н., Дьяченко Ю.Г. и др. Библиотека элементов для проектирования самосинхронных полузаказных микросхем серий 5503/5507 и 5508/5509. М.: ИПИ РАН, 2011. 130 с.
6. Ульман Дж. Д. Вычислительные аспекты СБИС / пер. с англ. А.В. Неймана / под ред. П.П. Пархоменко. М.: Радио и связь, 1990. 480 с.