

ИНФОРМАТИКА ИНФОРМАЦИОННЫЕ СИСТЕМЫ

УДК 519.1(075.8)+510.6(075:8)

Формальная система вывода отказоустойчивых КМДП-структур самосинхронных схем

А. Н. Каменских

Пермский национальный исследовательский политехнический университет
Россия, 614990, Пермь, ул. Комсомольский пр., 29
antoshkinoinfo@yandex.ru; +7-902-64-125-45

Для обеспечения пассивной отказоустойчивости самосинхронных схем – ССС предложено "терминальное" резервирование транзисторных структур, а также парирующее отказы части транзисторов, которые возникают, например, в результате воздействия радиации и других негативных факторов. Однако такое резервирование возможно не всегда в силу ограничений Мида и Конвей на число последовательно соединенных транзисторов. Предлагается формальная система, обеспечивающая вывод резервированной КМДП ССС с учетом заданного ограничения на длину последовательной цепочки транзисторов.

Ключевые слова: формальная система вывода; самосинхронная схема – ССС, КМДП-транзистор; резервирование; транзисторная структура.

DOI: 10.17072/1993-0550-2016-2-133-137

Введение

Вопросы надежности самосинхронных схем [1–17] по большей части рассматриваются в плане активной отказоустойчивости [18–20]. Для ССС, работающих на относительно небольшом временном участке, необходима пассивная отказоустойчивость [21]. Однако исследования в области пассивно отказоустойчивых ССС освещены в литературе недостаточно [22–24]. В статье предлагается формальная система вывода резервированных ССС, обеспечивающих пассивную отказоустойчивость.

1. Пассивная k-отказоустойчивость ССС

ССС на КМДП-транзисторах каждая из парафазных логических функций может быть описана скобочной формой СкоФ:

$$F = \left(\left(\dots \left(\overline{X}_{i_1} \right) \dots \right) \right) * \left(\left(\dots \left(X_{i_2} \right) \dots \right) \right), \quad (1)$$

где δ_i – признак операции-конъюнкции (последовательное соединение) или двойственный признак $\bar{\delta}_i$ дизъюнкции (параллельное соединение).

В частности, двойственная (правая) часть (1) может быть эквивалентна левой части для самодвойственных функций. Пусть допустимое число транзисторов в последовательной цепочке q , число парируемых отказов k , заданное максимальное число транзисторов d в последовательной цепочке схемы $d \leq q/k + 1$.

Тогда для применения k -резервирования выражения (1) должно соблюдаться условие

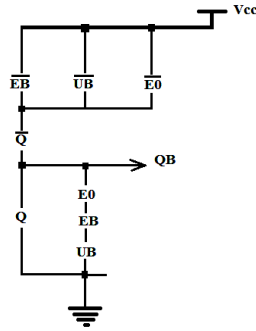
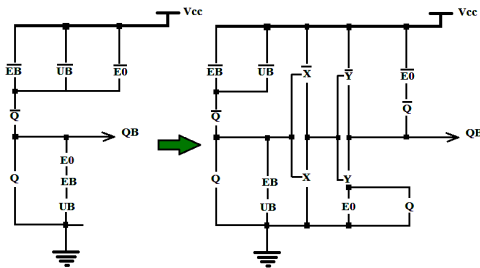


Рис. 1. Некоторая КМДП-схема

Несмотря на то, что в (11) все конъюнкции длиной 2, но функция не самодвойственна, поэтому схема представляется в виде

$$\{[(\overline{EB}) \vee (\overline{UB}) \vee (\overline{E0})] \overline{Q}\} * \{Q \vee (EB)(UB)(E0)\}, \quad (11)$$

и в нижней части имеется последовательное соединение трех транзисторов, что недопустимо для k -резервирования при $q=4$. Правило отделения $\left\lfloor \frac{q}{k+1} \right\rfloor$ подсхемы представлено на рис. 2.


 Рис. 2. Правило отделения $\left\lfloor \frac{q}{k+1} \right\rfloor$ подсхемы

Получаем:

$$\begin{aligned} & \{[(\overline{EB}) \vee (\overline{UB}) \vee (\overline{E0})] \overline{Q}\} * \{Q \vee (EB)(UB)(E0)\} \Rightarrow \\ & \Rightarrow \{[(\overline{EB}) \vee (\overline{UB})] \overline{Q}\} * \{Q \vee (EB)(UB)\} \\ & \{(\overline{X})^Y * (X)\} \{[(Y \vee (\overline{E0}) \overline{Q}) * \{Y[Q \vee (E0)]]\}. \end{aligned} \quad (12)$$

Происходит "отделение" одной допустимой ветви, например $(\overline{E0}) \overline{Q}$ (рис. 2).

3. Особенности резервирования мостиковых КМДП ССС

при $d > \left\lfloor \frac{q}{k+1} \right\rfloor$

В библиотеке ССС элементов имеется полный сумматор (элемент, реализующий би-

нарную сумму от A, B, C) с парафазным выходом при наличии парафазных входов A, NA, B, NB, C, NC переменных.

Такая схема может быть описана выражением

$$\begin{aligned} (NS,S)(AB,C,NA,NB,NC) = & \{(C)(NB \uparrow \cdot NA \vee B \uparrow \cdot A)\}^{NS} * \\ & \{ \{(NB \uparrow \cdot NA \vee B \uparrow \cdot A)(C)\} \\ & \vee \{(NC)(NB \uparrow \cdot NA \vee B \uparrow \cdot A)\}^S * \{(NB \uparrow \cdot NA \vee B \uparrow \cdot A)(NC)\} \} \end{aligned} \quad (13)$$

где стрелки $\uparrow$ обозначают "мостики" для ортогональных конъюнкций.

Но такие "мостики" можно делать только для ортогональных конъюнкций. Всегда активируется один путь, за исключением ситуации спейсера. Мы видим, что при резервировании транзисторов получатся цепочки из 6 транзисторов подряд, что недопустимо [19]. Поэтому частное правило отделения для суммы A, B, C имеет вид:

$$\begin{aligned} & \{(C)(NB \uparrow \cdot NA \vee B \uparrow \cdot A)\}^{NS} * \{ \{(NB \uparrow \cdot NA \vee B \uparrow \cdot A)(C)\} \vee \\ & \vee \{(NC)(NB \uparrow \cdot NA \vee B \uparrow \cdot A)\}^S * \{(NB \uparrow \cdot NA \vee B \uparrow \cdot A)(NC)\} \} \Rightarrow \\ & \{(B \cdot NA \vee NB \cdot A) * \{(B \cdot NA \vee NB \cdot A) \\ & (B \cdot A \vee NB \cdot NA) * \{(B \cdot A \vee NB \cdot NA) \\ & \{(F \cdot NC \vee NF \cdot C) * \{(F \cdot NC \vee NF \cdot C) \\ & (NF \cdot NC \vee F \cdot C)\} * \{(NF \cdot NC \vee F \cdot C)\}. \end{aligned} \quad (14)$$

Заключение

Таким образом, в случаях соблюдения ограничения Мида и Конвей выполняется непосредственное резервирование транзисторных структур основной и двойственной частей комбинационной ССС либо элементов памяти.

В случае несоблюдения ограничения Мида и Конвей выполняется получение требуемой структуры с помощью формальной системы вывода, но ее результаты должны быть корректны с точки зрения полумодулярности [5].

На наш взгляд, предложенная формальная система позволяет проектировать пассивно отказоустойчивые ССС на основании схем существующих элементов с целью использования в высоконадежных областях приме-

ния [11], в том числе в специальной аппаратуре.

Список литературы

1. *Muller D.E., Bartky W.S.* A theory of asynchronous circuits // Proc. Int Symp. On the Theory of Switching, Part 1. Harvard University Press, 1959. P. 204–243.
2. *Апериодические автоматы* / под ред. В.И. Варшавского. М.: Наука, 1976. С. 304.
3. *Варшавский В.И., Мараховский В.Б., Розенблюм Л.Я. и др.* § 4.3. Апериодическая схемотехника // Искусственный интеллект, т. 3: Программные и аппаратные средства / под ред. В.Н. Захарова, В.Ф. Хорошевского. М.: Радио и связь, 1990.
4. *Yakovlev A.* Energy-modulated computing // Design, Automation & Test in Europe Conference & Exhibition (DATE), 2011. IEEE, 2011. С. 1–6.
5. *Степченко Ю.А., Денисов А.Н., Дьяченко Ю.Г. и др.* Библиотека элементов для проектирования самосинхронных полужаказных микросхем серий 5503/5507 и 5508/5509. М.: ИПИ РАН, 2008. 296 с.
6. *Hollosi B. et al.* Delay-insensitive asynchronous ALU for cryogenic temperature environments // Circuits and Systems, 2008. MWSCAS 2008. 51st Midwest Symposium on. IEEE, 2008. С. 322–325.
7. *Проблемы создания отечественной элементной компонентной базы.* URL: <http://www.electronics.ru/journal/article/295>. (дата обращения: 27.06.2015).
8. *Инновационный комплекс МИЭТ.* URL: <http://miet.ru/content/s/200> (дата обращения: 27.06.2015).
9. *Базовые матричные кристаллы.* URL: http://www.asic.ru/index.php?option=com_content&view=article&id=52&Itemid=92 (дата обращения: 27.06.2015).
10. *Гаврилов С.В., Денисов А.Н., Коняхин В.В. и др.* САПР "Ковчег 3.0" для проектирования микросхем на БМК серий 5503, 5507, 5521 и 5529. М.: 2013. 295 с.
11. *Денисов А.Н., Фомин Ю.П., Коняхин В.В. и др.* Библиотека функциональных ячеек для проектирования полужаказных микросхем серий 5503 и 5507 / под общ. ред. А.Н. Саурова. М.: Техносфера, 2012. 304 с.
12. *МЦСТ.* Микропроцессор нового поколения Эльбрус 2С+. URL: <http://www.mcst.ru/modul-comexpress> (дата обращения: 28.06.2015).
13. *Федеральное государственное учреждение "Федеральный научный центр Научно-исследовательский институт системных исследований Российской академии наук".* URL: <https://www.niisi.ru/> (дата обращения: 28.06.2015).
14. *ОАО КБ "Корунд-М".* URL: <http://www.korund-m.ru/> (дата обращения: 28.06.2015).
15. *Donald C. Mayer, Ronald C. Laco.* Designing Integrated Circuits to Withstand Space Radiation. Vol. 4, № 2, Crosslink. URL: <http://www.aero.org/publications/crosslink/summer2003/06.html> (дата обращения: 20.05.2015).
16. *Юдинцев В.* Радиационно-стойкие интегральные схемы. Надежность в космосе и на земле // Электроника: Наука, Технология, Бизнес: журнал. 2007. № 5. С. 72–77. ISSN 1992-4178 URL: http://www.electronics.ru/files/article_pdf/0/article_592_363.pdf (дата обращения: 29.05.2015).
17. *Чекмарёв С.А.* Способ и система инъекции ошибок для тестирования сбоеустойчивых процессоров бортовых систем космических аппаратов // Вестник Сибирского государственного аэрокосмического университета им. акад. М.Ф. Решетнева. Вып. № 4(56). 2014. URL: <http://cyberleninka.ru/article/n/sposob-i-sistema-inektsii-oshibok-dlya-testirovaniya-sboeustoychevyh-protsektorov-bortovyh-sistem-kosmicheskikh-apparatov> (дата обращения: 16.12.2015).
18. *ГОСТ Р 53480-2009.* Надежность в технике. Термины и определения. ИЕС 60050 (191): 1990-12 (NEQ). М.: Стандартиформ, 2010.
19. *ГОСТ 20911-89.* Техническая диагностика. Термины и определения. М.: Стандартиформ, 2019.
20. *Stuck-at fault.* URL: http://en.wikipedia.org/wiki/Stuck-at_fault (дата обращения: 28.05.2015).
21. *Бородин В.А. и др.* Отказоустойчивые вычислительные системы. М.: МО СССР, 1990. С. 55.

22. Тюрин С.Ф., Каменских А.Н. Анализ отказоустойчивой самосинхронной реализации двоичного сумматора // Вестник Пермского национального исследовательского политехнического университета. Электротехника, информационные технологии, системы управления. 2014. № 1(9). С. 25–39.
23. Kamenskih, A.N., Tyurin, S.F. Features that provide fault tolerance of self-synchronizing circuits // Russian Electrical Engineering. 2015. P. 672–682.
24. Tyurin S.F., Kamenskih A.N. Research into the reservation of logic function at transistor level. В мире научных открытий. 2014. № 10(58). С. 232–247.
25. Ульман Дж.Д. Вычислительные аспекты СБИС: пер. с англ. А.В. Неймана / под ред. П.П. Пархоменко. М.: Радио и связь, 1990. 480 с.
26. Тюрин С.Ф., Каменских А.Н. Мажоритарное устройство. Патент РФ № 2580080. Оpubл. БИ № 10 10.04.2016,

A formal system of getting redundant self-timed CMOS-structures

A. N. Kamenskih

Perm National Research Polytechnic University; 29, Komsomolsky prospekt, Perm, 614990, Russia
antoshkinoinfo@yandex.ru; +7-902-64-125-45

The author suggests a combined reservation of transistor configurations parrying failures of some transistors that result from exposure to radiation and other negative factors. However, such redundancy is not always possible due to the limitations of Mead and Conway concerning the number of series-connected transistors. A formal system to obtain a fault-tolerant CMOS self-timed circuits taking into account the predetermined limit is proposed.

Keywords: *self-timed circuit; transistor; redundancy; CMOS-transistors; the formal system.*