

УДК 681.32

Отказоустойчивая статическая оперативная память на основе ячеек БМК

С. Ф. Тюрин

Пермский национальный исследовательский политехнический университет
Россия, 614990, Пермь, ул. Комсомольский пр., 29
tyurinsergfe@yandex.ru; +7-952-32-02-510

Предлагается отказоустойчивая ячейка памяти SRAM с учетверением транзисторов – QSRAM. Показывается предпочтительность такого технического решения по ряду показателей – в сравнении с троированием – известным вариантом TMR (Triple Modular Redundancy). Выполняется моделирование в системе схемотехнического моделирования NI Multisim.

Ключевые слова: транзистор; резервирование; базовый матричный кристалл; ячейка; логический элемент; вероятность безотказной работы; мажоритарный элемент; ячейка памяти SRAM; SRAM с учетверением транзисторов – QSRAM; троирование – TMR (Triple Modular Redundancy); NI Multisim.

Введение

В связи с известными проблемами в области создания современной отечественной электронной компонентной базы при проектировании радиоэлектронной аппаратуры (РЭА) специального назначения широко применяются так называемые полузаказные цифровые интегральные микросхемы на основе базовых матричных кристаллов – БМК. В открытых источниках упоминаются БМК серий 5503, 5507, 5521, 5528, 5529, причем их основой являются так называемые ячейки поля БМК, представляющие собой 4-унифицированные транзисторные структуры КМДП (КМОП) транзисторов.

Для получения цифровых устройств необходимо создать фотошаблон для задания соответствующих связей ячеек. Конечно, проектные нормы и степень интеграции таких микросхем значительно отстают от технологических показателей передовых западных фирм, но, как говорится, зато своевременно.

Для создания радиационно-стойкой, надежной, отказоустойчивой электронной компонентной базы необходима избыточность, например дублирование, троирование, рас-

четверение (по терминологии патентной классификации). При троировании, которое еще называют мажоритированием, битовые выходы трех каналов цифрового автомата поступают на три входа мажоритарного элемента, реализующего мажоритарную функцию или функцию голосования по большинству голосов (выбора "два из трех" ≥ 2). Мажоритарный элемент широко применяется для обеспечения пассивной отказоустойчивости цифровых устройств и систем. При этом резервирование с целью обеспечения пассивной отказоустойчивости обеспечивает выигрыш не на всем временном интервале для некоторого интервала вероятностей.

Предложены транзисторные структуры, парирующие отказы (сбои) части транзисторов, возникающие в результате воздействия радиации и других негативных факторов.

Вначале они рассматривались в качестве так называемых функционально-полных толерантных (ФПТ) элементов (ФПТЭ), сохраняющих при отказах либо функциональную полноту (ФПТ в слабом смысле), либо реализуемую логическую функцию (ФПТ в сильном смысле). В дальнейшем подобное резервирование транзисторных структур (ТС) – ФПТТС в сильном смысле и ФПТТС предложено использовать не только в КМОП (КМДП) струк-

турах, но и в структурах на основе передающих МДП транзисторов.

В отличие от канального резервирования цифровой аппаратуры, такое резервирование названо *потранзисторным*, что обеспечивает по сравнению с троированием значительный выигрыш в вероятности безотказной работы пассивно отказоустойчивой схемы практически для всего временного диапазона.

Для парирования одного отказа (сбоя) в ТС необходимо 4 транзистора и так называемое "расчетверение" на транзисторном уровне. Такая избыточность в принципе требует и резервирования связей, а также наталкивается на существенное ограничение в количестве последовательно соединенных транзисторов, стандартное значение которого, как правило, равно четырем. Уже имеется информация, что современные технологии несколько смягчают это ограничение до пяти и даже до шести последовательно соединенных транзисторов.

Однако исследований по созданию избыточных ячеек БМК в достаточной мере не проводилось.

Как известно, большое значение для решения проблемы создания отечественной элементной базы имеет инновационный комплекс Московского института электронной техники (МИЭТ) [1, 2], в котором значительное внимание уделяется созданию полужаказных цифровых интегральных микросхем на основе базовых матричных кристаллов – БМК [3–7].

КМОП-схемотехника БМК имеет относительно невысокое быстродействие, задержки КМОП-вентилей на порядок больше, чем для ЭСЛ. Но неоспоримыми достоинствами КМОП-схемотехники являются малая потребляемая мощность и высокая помехоустойчивость [4].

Несмотря на значительное отставание в технологических нормах, по сравнению с передовыми западными фирмами, наша электронная промышленность в целом пока позволяет создавать цифровую аппаратуру для специальных приложений [8–10].

В настоящее время открытые источники сообщают о БМК серий 5503, 5507, 5521, 5528, 5529 [3].

Ячейка поля БМК представляет собой 4-транзисторную ячейку комплиментарных транзисторов [3] (рис. 1).

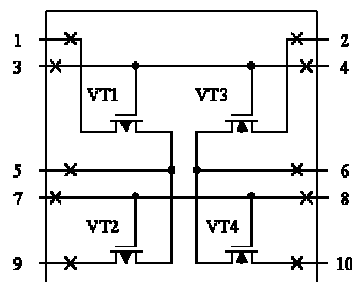


Рис. 1. Ячейка поля базового матричного кристалла – БМК

Из таких ячеек строятся логические элементы, например [7]. Для создания радиационно-стойкой аппаратуры [11–12] ранее автором было предложено расчетверение отдельных транзисторов логических элементов, что обеспечивает по сравнению с резервированием каналов цифровой аппаратуры значительный выигрыш в вероятности безотказной работы пассивно отказоустойчивой схемы практически для всего временного диапазона [13–19]. Однако имеется ограничение на число последовательно соединенных транзисторов [20]. Отмечено, что в последнее время активно развивается научное и технологическое направление создания высоконадежных, радиационно-стойких микросхем для космических, специальных и военных применений.

Для обеспечения надежности таких специальных микросхем применяют троирование – TMR (Triple Modular Redundancy), которое позволяет парировать не только ошибки (ранее именовавшиеся сбоями) – SEU (Single Event Upset), но и отказы SEE (Single Event Effect) – в одном из трех каналов [1, 2]. Одним из самых опасных подвидов SEE является защелкивание транзисторов (single effect latchup, SEL) в пропускающем состоянии (тиристорный эффект). Метод тройного резервирования для ячеек памяти (Triple Modular Redundancy, TMR) или мажоритирования [2, 3] показан на рис. 2.

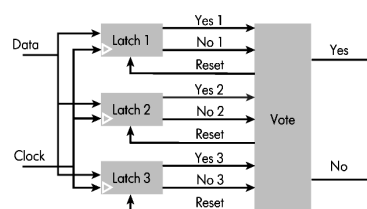


Рис 2. Ячейка статической оперативной памяти SRAM, предотвращение SEU методом троирования – тройного резервирования

1. Отказоустойчивая ячейка поля БМК

Для этого пару ячеек (рис. 1) конфигурируем для реализации одного резервированного транзистора p -типа в соответствии с [13–19] и одного резервированного транзистора n -типа (см. рис. 3).

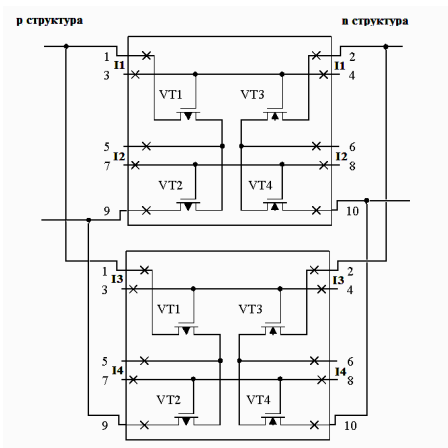


Рис. 3. Отказоустойчивая ячейка поля базового матричного кристалла – БМК для реализации $f_{1,2} = x_i x_i \vee x_i x_i$ одного транзистора p -типа и одного транзистора n -типа

Такая ячейка сохраняет работоспособность при отказе одного любого транзистора p типа и одного любого транзистора n -типа ценой четырехкратной избыточности. Если реализовать функцию $f_{1,1} = (x_i \vee x_i)(x_i \vee x_i)$, т.е. перемычку по точкам 5, 6, то получим рис. 4.

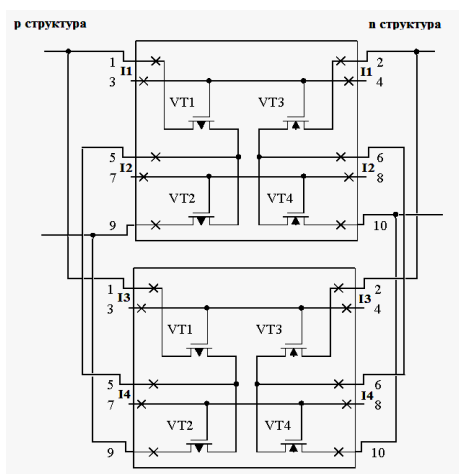


Рис. 4. Отказоустойчивая ячейка поля базового матричного кристалла – БМК для реализации $f_{1,1} = (x_i \vee x_i)(x_i \vee x_i)$ одного транзистора p -типа и одного транзистора n -типа с перемычкой по точкам 5, 6

При этом каждый транзистор управляется своим сигналом П1–П4 (3, 7), которые подаются с двух сторон ячейки, что требует расщепления связей. Если объединить входы, получим рис. 5.

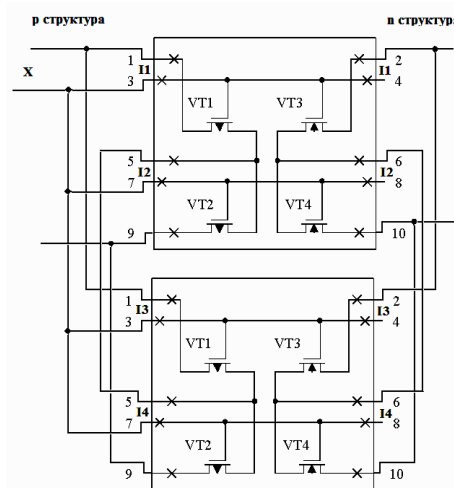


Рис. 5. Отказоустойчивая ячейка поля базового матричного кристалла – БМК для реализации $f_{1,1} = (x_i \vee x_i)(x_i \vee x_i)$ одного транзистора p -типа и одного транзистора n -типа с объединением входов X

Наконец, если вход X продублировать с другой стороны ячейки, получим рис. 6.

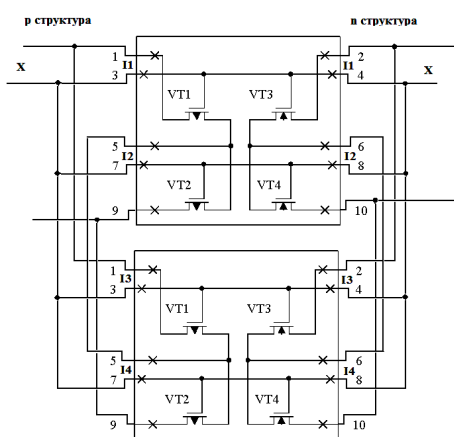


Рис. 6. Отказоустойчивая ячейка поля базового матричного кристалла – БМК для реализации $f_{1,1} = (x_i \vee x_i)(x_i \vee x_i)$ одного транзистора p -типа и одного транзистора n -типа с объединением входов и дублированием X

3. Реализация отказоустойчивой ячейки оперативной памяти SRAM – QSRAM

Построим отказоустойчивый инвертор, например, для радиационно-устойчивой ячейки оперативной памяти SRAM (рис. 7).

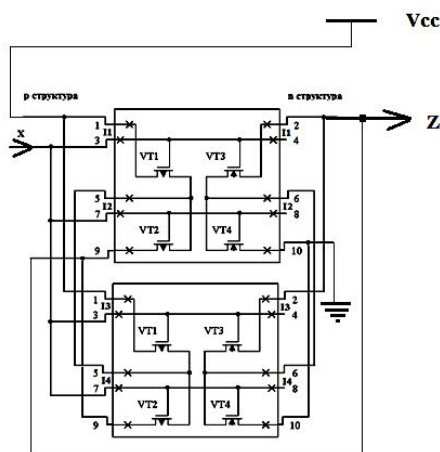


Рис. 7. Отказоустойчивый инвертор для ячейки оперативной памяти SRAM

Тогда ячейка оперативной памяти SRAM [21–24], состоящая из двух инверторов, будет выглядеть так, как показано на рис. 8.

В перспективе рекомендуется провести исследования с учетом особенностей топологии кристалла и интенсивности отказов связей.

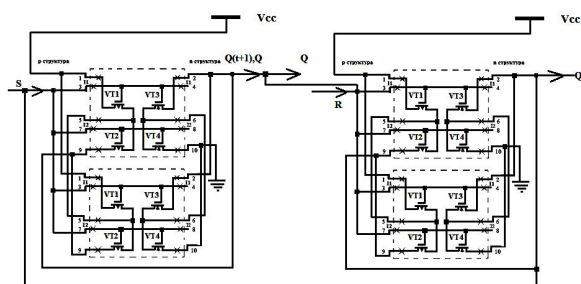


Рис. 8. Отказоустойчивая ячейка оперативной памяти SRAM – QSRAM

Аналогично могут быть резервированы и транзисторы записи, считывания ("боковые" транзисторы).

Модель отказоустойчивой ячейки оперативной памяти SRAM – QSRAM представлена на рис. 9.

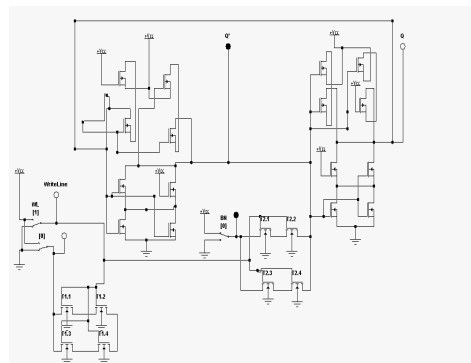


Рис. 9. Модель отказоустойчивой ячейки оперативной памяти SRAM – QSRAM в системе схемотехнического моделирования NI Multisim

Выводы

Таким образом, на основе двух 4-транзисторных стандартных ячеек разработана отказоустойчивая ячейка поля БМК, которая представляет собой две резервированные структуры для реализации одного транзистора p -типа, и одного транзистора n -типа. В частности, линии управления затворами всех транзисторов могут быть объединены. Такие ячейки целесообразно использовать для проектирования высоконадежной [25] аппаратуры на основе БМК. Предложенная ячейка статической оперативной памяти QSRAM с учетверением транзисторов на основе ячеек БМК парирует отказы типа SEU (Single Event Upset) и SEE (Single Event Effect).

Сравнение показывает существенно больший выигрыш в вероятности безотказной работы по сравнению с троированием, причем затраты на троирование одной ячейки при одном мажоритаре равны $3 \cdot 6 + 10 = 28$ транзисторов (задержка в числе транзисторов без учета "боковых" транзисторов равна 4), а в предложенной ячейке затраты равны 24, задержка такая же – 4. В случае троирования мажоритаров затраты равны $3 \cdot 6 + 3 \cdot 10 = 48$.

Список литературы

1. Проблемы создания отечественной элементной компонентной базы. URL: <http://www.electronics.ru/journal/article/295>. (дата обращения: 27.06.2015).
2. Инновационный комплекс МИЭТ. URL: <http://miet.ru/content/s/200> (дата обращения: 27.06.2015).

3. Базовые матричные кристаллы. URL: http://www.asic.ru/index.php?option=com_content&view=article&id=52&Itemid=92 (дата обращения: 27.06.2015).
4. Гаврилов С.В., Денисов А.Н., Коняхин В.В. и др. САПР "Ковчег3.0" для проектирования микросхем на БМК серий 5503, 5507, 5521 и 5529. М., 2013. 295 с.
5. Денисов А.Н., Фомин Ю.П., Коняхин В.В. и др. Библиотека функциональных ячеек для проектирования полужаказных микросхем серий 5503 и 5507 / под общ. ред. А.Н. Саурова. М.: Техносфера, 2012. 304 с.
6. Степченко Ю.А., Денисов А.Н., Дьяченко Ю.Г. и др. Библиотека элементов для проектирования самосинхронных полужаказных микросхем серий 5503/5507 и 5508/5509. М.: ИПИ РАН, 2008. 296 с.
7. Muller D.E., Bartky W.S. A theory of asynchronous circuits // Proc. Int Symp. On the Theory of Switching, Part 1. Harvard University Press, 1959. P. 204–243.
8. Аperiodические автоматы / под ред. В.И. Варшавского. М.: Наука, 1976. С. 304.
9. Варшавский В.И., Мараховский В.Б., Розенблюм Л.Я. и др. § 4.3. Аperiodическая схемотехника / Искусственный интеллект. Т.3: Программные и аппаратные средства / под ред. В.Н. Захарова, В.Ф. Хорошевского. М.: Радио и связь, 1990.
10. Yakovlev A. Energy-modulated computing // Design, Automation & Test in Europe Conference & Exhibition (DATE), 2011. IEEE, 2011. С. 1–6.
11. Тюрин С.Ф., Аляев Ю.А. Зеленая волна // Образовательные ресурсы и технологии. 2014. № 5 (8). С. 144–157.
12. Тюрин С.Ф., Плотникова А.Ю. Концепция "зеленой логики" // Вестник Пермского национального исследовательского политехнического университета. Электротехника, информационные технологии, системы управления. 2013. № 8. С. 61–72.
13. Donald C. Mayer, Ronald C. Loe. Designing Integrated Circuits to Withstand Space Radiation. Vol. 4, № 2. Crosslink. URL: <http://www.aero.org/publications/crosslink/summer2003/06.html> (дата обращения: 20.05.2015).
14. Юдинцев В. Радиационно-стойкие интегральные схемы. Надежность в космосе и на земле // Электроника: Наука, Технология. Бизнес: журнал. 2007, № 5. С. 72–77. ISSN 1992–4178. URL: http://www.electronics.ru/files/article_pdf/0/article_592_363.pdf (дата обращения: 29.05.2015).
15. Kamenskih, A.N., Tyurin, S.F. Application of redundant basis elements to increase self-timed circuits reliability // Proceedings of the 2014 IEEE North West Russia Young Researchers in Electrical and Electronic Engineering Conference. ElConRusNW 2014. P. 47–50.
16. Kamenskih, A.N., Tyurin, S.F. Features that provide fault tolerance of self-synchronizing circuits // Russian Electrical Engineering. 2015. P. 672–682.
17. Kamenskikh A.N., Tyurin S.F. Advanced Approach to Development of Energy-Aware and Naturally Reliable Computing Systems. Proceeding of the 2015 IEEE North West Russia Section Young researches in electrical and electronic engineering conference (2015 ElConRusNW). P. 67–69.
18. Tyurin, S.F. Retention of functional completeness of Boolean functions under "failures" of the arguments (1999) Automation and Remote Control 60 (9 PART 2). P. 1360–1367.
19. Tyurin S., Kharchenko V. Redundant Bases for Critical Systems and Infrastructures: General Approach and Variants of Implementation Proceedings of the 1st International Workshop on Critical Infrastructures Safety and Security, Kirovograd, Ukraine 11–13, May, 2011. Vol. 2. P. 300–307.
20. Tyurin S.F., Grekov A.V., Gromov O.A. The principle of recovery logic FPGA for critical applications by adapting (3). P. 328–332.
21. Tyurin S.F., Gromov O.A. A residual basis search algorithm of fault-tolerant programmable logic integrated circuits // Russian Electrical Engineering. 2013. 84 (11). P. 647–651.
22. Ульман Дж. Д. Вычислительные аспекты СБИС / пер. с англ. А.В. Неймана / под ред. П.П. Пархоменко. М.: Радио и связь, 1990. 480 с.
23. Глебов А.Л. SP-BDD модель цифровых КМОП-схем и ее приложения в оптимизации и моделировании // Информационные технологии. 1997. № 10.
24. ГОСТ Р 53480-2009. Надежность в технике. Термины и определения. ИЕС 60050 (191):1990-12(NEQ). М.: Стандартинформ, 2010.

Fault-tolerant SRAM on the basis of gate array cells

S. F. Tyurin

Perm National Research Polytechnic University; 29, Komsomolsky prospekt, Perm, 614990, Russia
tyurinsergfeo@yandex.ru; +7 952-320-02-510

As an alternative, the authors have previously proposed transistor structures, parrying the refusal of some transistors, resulting from exposure to radiation and other negative factors. In the work it is proposed quadrupling SRAM cell – QSRAM cell. It is described the simulation of the QSRAM cell by NI Multisim system.

Keywords: *CMOS Transistor; logic functions, gate array; redundancy, functional complete tolerant element; failure resistance; triple redundancy; quadrupling; redundant cell gate array; SRAM cell; DICE SRAM cell; quadrupling SRAM cell; QSRAM cell; failure; NI Multisim.*