

ИНФОРМАТИКА ИНФОРМАЦИОННЫЕ СИСТЕМЫ

УДК 681.3

Особенности асинхронной ПЛИС Speedster22i

С. В. Березняков

ОАО "Стар"

Россия, 614990, Пермь, Куйбышева ул., 140А

berser22@mail.ru; +7-912-88-32-632

Рассматриваются особенности программируемой логической схемы (ПЛИС) Speedster22i типа FPGA (Field-Programmable Gate Array) фирмы Achronix. Анализируется архитектура ПЛИС и процессы тактирования. Выясняется, что речь идет не об отсутствии синхронизации, а о множественной распределённой синхронизации, и ПЛИС не может быть названа самосинхронной.

Ключевые слова: программируемые логические интегральные схемы – ПЛИС; FPGA (Field – Programmable Gate Array); логический элемент – LUT (Look Up Table); логическая ячейка (Logic Cell); тактирование; тактовый генератор; самосинхронная схемотехника.

Введение

Схемотехника на основе программируемых логических интегральных схем (ПЛИС), начавшаяся с простых программируемых логических матриц (ПЛИМ) и программируемых матриц логики (ПМЛ) активно развивается уже более 30 лет [1, 2]. За это время она прошла путь от сотен логических элементов в 80-е гг. XX в. до более миллиона в настоящее время.

Как указывается в [1], основными производителями ПЛИС являются фирмы Xilinx, Altera, Lattice Semiconductor, Actel, Atmel, Nallatech, Mitronics, Alpha Data, QuickLogic, Achronix Semiconductor, MathStar, Rapid Prototypes, National Instruments, Sun Microsystems, SGI, Cray, MNB Technologies, CPU Tech, Exegy, Celoxica, XtremeData, Plurality. Российский сегмент в данной ситуации представлен очень скромно, по информации [1] "работают" в об-

ласти ПЛИС-компьютеров такие организации, как НИИ МВС, ФГУП "НИИ КВАНТ", Инлайн Групп, Эфо, ИТМИВТ, Высокотехнологичные системы, НПП "Цифровые решения", DeverSYS. Но по данным автора относительно крупное (по отечественным меркам), серийное производство ПЛИС (по лицензиям) имеется только в Воронеже – на заводе ВЗПП-С [3].

ПЛИС типа FPGA (Field-Programmable Gate Array) [3] содержат блоки умножения-суммирования для цифровой обработки сигналов (DSP), а также логические элементы LUT (Look Up Table) или Logic Cell и блоки связей, содержащие локальные и глобальные матрицы коммутаций [4].

Второй тип ПЛИС – "сложные" CPLD (англ. complex programmable logic device) – содержат относительно крупные программируемые логические блоки – макроячейки (англ. macrocells), соединенные с внешними выводами и внутренними шинами [4].

Наиболее крупными "игроками" на рынке ПЛИС являются фирмы Xilinx (осно-

вана в 1984 г.), Altera (основана в 1983 г.). Основными типами ПЛИС фирмы Xilinx являются Spartan и Virtex. Virtex – высокопроизводительные ПЛИС-FPGA для ресурсоемких задач. Spartan – более дешевые и менее производительные ПЛИС FPGA для использования в устройствах, рассчитанных на большие тиражи. Кроме этого выпускаются микросхемы CPLD: CoolRunner и XC9500 для использования в различных портативных устройствах – мобильных телефонах, GPS-навигаторах. Здесь внимание уделяется главным образом минимизации размеров и потребляемой мощности.

Фирма Altera выпускает высокопроизводительные ПЛИС Stratix, широкого употребления Cyclone и ПЛИС среднего сегмента Arria. Для мобильных приложений выпускается серия Max на основе ПЛИС типа CPLD. Начиная с серии Stratix III, используется технология Programmable Power Technology, позволяющая варьировать режим работы и, соответственно, потребляемую мощность логических ячеек в зависимости от необходимости быстрого выполнения поставленной задачи [4]. Указывается, что ПЛИС фирмы Altera используются и для военной аппаратуры, хотя на выпуск высоконадежных, радиационно-устойчивых ПЛИС ориентирована компания Actel [4]. Тем не менее, Actel занимается по большей части выпуском компактных и недорогих ПЛИС (в феврале этого года Actel стала выпускать микросхемы серии ProASIC3 по рекордно низкой цене в 99 центов (!).

В отличие от Xilinx, Altera, фирма Achronix образована относительно недавно – в 2004 г. и специализируется, как указывается в [1], на высокоскоростных асинхронных ПЛИС. Сами кристаллы производятся Intel, начиная с 2012 г. Микросхемы изготавливаются по техпроцессу 22 нм, по энергосберегающей технологии объемных транзисторов Tri-Gate (сообщается о двукратном сокращении). Указывается, что серия Achronix-Ultra имеет частоту до 2,2 ГГц, что является рекордным значением для ПЛИС (2,2 ГГц означает, что такая микросхема работает с той же производительностью, что и имеющая аналогичную архитектуру синхронизированная микросхема). Серия Achronix-Xtreme с частотой порядка 1 ГГц является устойчивой к радиационному излучению и предназначена для работы в температурном диапазоне от -260°C до +130°C. Судя по названию, речь может идти о так называемом самосин-

хронном принципе [5–7] работы, в отличие от традиционного синхронного. В связи с этим вызывает большой интерес рассмотрение особенностей данной ПЛИС в том числе, именно в "самосинхронном" ракурсе.

1. Архитектура логики Speedster22i

Полное название ПЛИС, на наш взгляд, имеет не самое благозвучное название – Speedster22i HD1000 FPGA, причем HD, вероятно, означает по аналогии с узнаваемым HD – High-Definition – "Высокая четкость (разрешение)", High Density – "Высокая плотность", что может быть обусловлено "тонким" техпроцессом 22 нм [8], хотя в доступных источниках встречаются упоминания о ПЛИС других фирм с техпроцессом еще "тоньше" – 10 нм. Действительно, в документации на ПЛИС написано: "Advanced highest-density and highest-bandwidth FPGA – усовершенствованная ПЛИС с высокой плотностью и высочайшей пропускной способностью, под которой следует понимать быстродействие или производительность" [9].

ПЛИС Speedster имеет 2597 контактов. На рис. 1 изображен внешний вид ПЛИС:



а)



б)

Рис. 1. ПЛИС Speedster22i фирмы Achronix; а) внешний вид лицевой и обратной стороны микросхемы (видно множество контактов); б) ПЛИС на плате – Development Kit

Стоимость отладочной платы с ПЛИС – около 13 тыс. долларов. ПЛИС содержит 700.000 программируемых логических эле-

ментов LUT (среди них "эффективных" LUT – более миллиона).

ПЛИС содержит реконфигурируемые логические блоки – RLB (Reconfigurable Logic Block), блоковую оперативную память – BRAM, память логики LRAM (внутри RLB) и коммутационные блоки – Switching Box. Предположительно память коммутации находится там же (рис. 2).

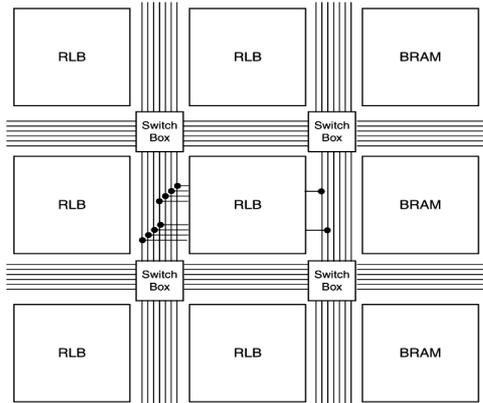


Рис. 2. Глобальная коммутация ПЛИС Speedster22i

Логические элементы RLB структурированы по логическим кластерам (Logic Cluster): "легкие" – Light Logic Cluster (LLC) и "тяжелые" Heavy Logic Cluster (HLC), в последние введены сумматоры, каждый RLB содержит три LLC и два HLC (рис. 3).

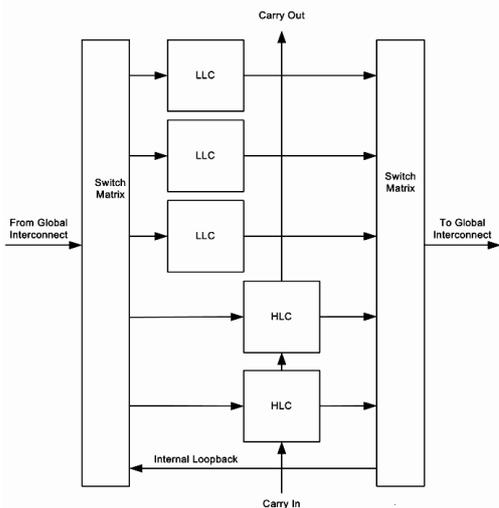


Рис. 3. Логические кластеры ПЛИС Speedster22i

Реконфигурируемый логический блок RLB содержит логические элементы LUT в количестве восьми штук, обратную связь с

использованием локальной матрицы коммутаций и дополнительные схемы, например регистры, мультиплексоры (рис. 4).

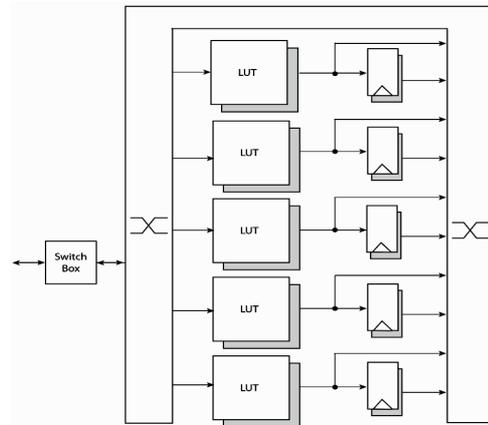


Рис. 4. Реконфигурируемый логический блок RLB ПЛИС Speedster22i

В свою очередь, LLC содержит два 4-входных LUT, мультиплексоры, регистры (рис. 5).

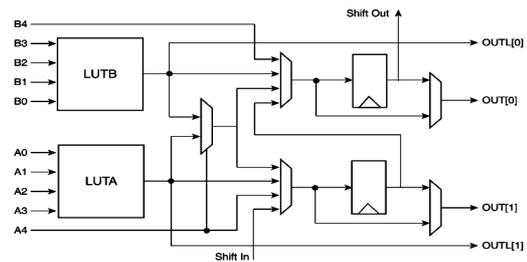


Рис. 5. "Легкий" логический кластер LLC ПЛИС Speedster22i

"Тяжелый" логический кластер HLC помимо 4-входных LUT мультиплексоров и регистров содержит 3-входной сумматор (рис. 6).

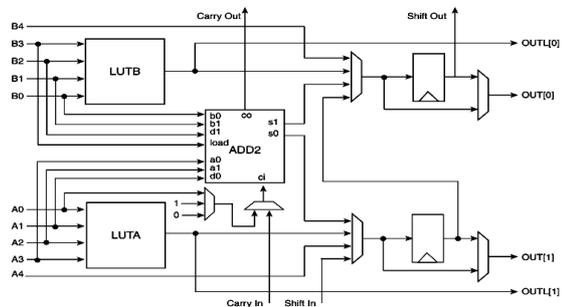


Рис. 6. "Тяжелый" логический кластер HLC ПЛИС Speedster22i

Итак, мы рассмотрели только особенности логики и во всех блоках не нашли сигналов тактирования. Приступим собственно к анализу процессов синхронизации.

2. Тактирование в ПЛИС Speedster22i

Асинхронная ПЛИС имеет две иерархических сети тактирования – глобальную – Global Clock Generator (GCG) и прямую. На рис. 7 обозначен интерфейс ввода/вывода общего назначения GPIO (general-purpose input/output) и последовательно-параллельный интерфейс SerDes (Serializer/Deserializer).

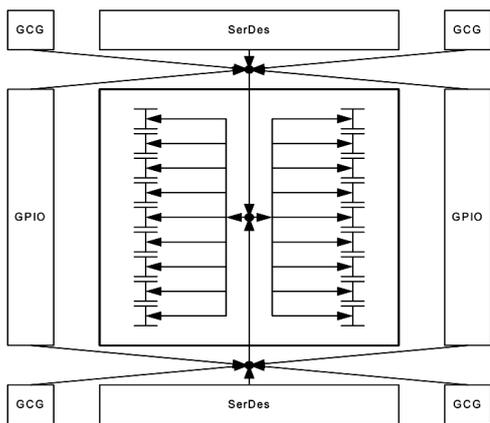


Рис. 7. Глобальная сеть тактирования ПЛИС Speedster22i

Прямая сеть тактирования, насколько можно понять из описания, основана на внутренних генераторах и обеспечивает значительно более низкую задержку (рис. 8).

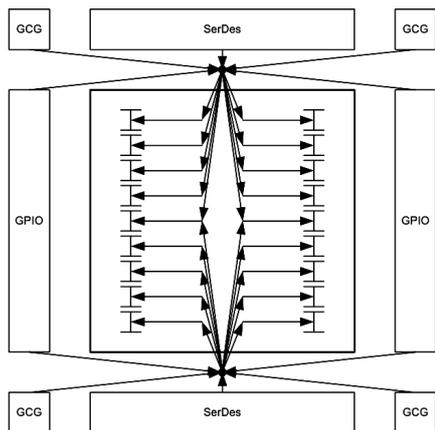


Рис. 8. Прямая сеть тактирования ПЛИС Speedster22i

Таким образом, имеются четыре глобальных источника тактирования GCG – по четырем углам микросхемы. Локальная тактировка обеспечивается "региональными"

устройствами Regional Clock Manager (RCM) (рис. 9).

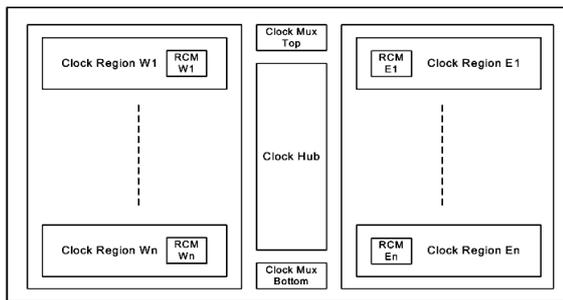


Рис. 9. Восточный E и западный W "регионы" тактирования ПЛИС Speedster22i

Сам "регион" тактирования выглядит так, как показано на рис. 10.

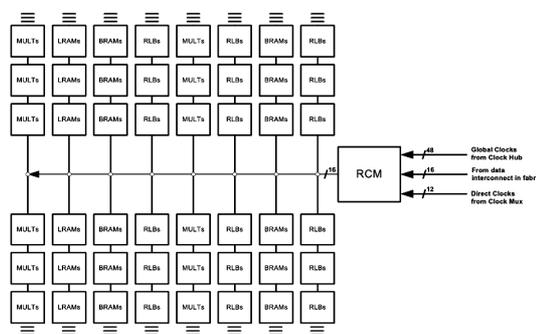


Рис. 10. Состав "региона" тактирования ПЛИС Speedster22i

Каждый из четырех глобальных генераторов GCG содержит шесть буферов ввода/вывода подачи тактового сигнала и четыре так называемых замкнутых фазовых петли PLLs – Phase Locked Loops, которые, в свою очередь, содержат генераторы, управляемые напряжением – VCO (Voltage-Controlled Oscillator) (рис. 11).

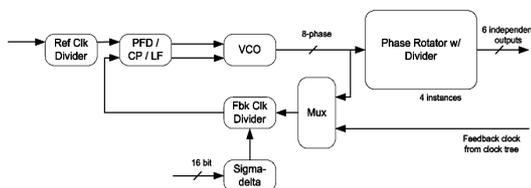


Рис. 11. Состав PLL – Phase Locked Loops ПЛИС Speedster22i

PLL содержит фазовращатель "glitch-free phase rotators", т.е. не создающий помех – "иголок" и, как указано, обеспечивает частоту 1066 MHz. Таким образом, становится понятно, что работа ПЛИС далека от прин-

ципов самосинхронности, описанных в работах [5–7].

В интервью 2006 г. (когда микросхема проектировалась) один из высших руководителей фирмы Джон Хольт назвал Speedster22i самой быстрой в мире КМОП ПЛИС [10]. Корреспондент, задавая свой вопрос о том, как измерялась производительность, назвал ПЛИС "Clockless" – т. е. не тактируемой. На что Хольт ответил: "Мы получаем эквивалент скорости синхронной схемы, и, естественно, все технические решения запатентованы". Но в описании [9] нет "Clockless", наоборот, речь идет о множестве тактовых генераторов. Следовательно, если есть тактовые генераторы, схема не асинхронна, хотя бы локально. То есть речь идет о глобальной множественной синхронности, а локально – она по терминологии документации синхронна...

Таким образом, полагаем, что соотнесение анализируемой ПЛИС с самосинхронной схемотехникой неверно, хотя бы в рамках доступных источников. Последнее частично подтверждают фразы из этого же интервью: "Основная гипотеза компании является такой, никто не должен знать, что внутри архитектура асинхронная" [9]. И еще: "Асинхронность скрыта от пользователя под уже синхронизированной аппаратной и программной инфраструктурой" [9].

Выводы

Показатели эффективности ПЛИС Speedster22i впечатляют: более миллиона логических элементов, 1,93 ГГц эквивалентной производительности при 21 градусе по Цельсию и 1,2-вольт Vdd. Диапазон температур – от -196 до +130 по Цельсию. Масштабирование питания: при 0,6-V производительность 400 МГц (на прототипе), с сокращением 87 % энергопотребления. Следовательно, уменьшение напряжения снижает энергопотребление в кубической зависимости. Однако не все из миллиона логических элементов доступны пользователю. Под программируемыми ЛУТ понимаются ЛУТ доступные для конфигурирования, другие ЛУТ, видимо, запрограммированы "жестко" на заводе – их примерно 33 %.

Отметим, что такие характеристики, ориентированные на большую вычислительную мощность и работу в экстремальных условиях, необходимы в аэрокосмической и военной сферах.

Возможно поэтому детальная информация об асинхронных процессах в ПЛИС достаточно скудна. Но, изучая доступные источники, можно сделать вывод, что речь идет не об отсутствии синхронизации, а о множественной распределенной синхронизации, а это совсем не то, что самосинхроника.

Список литературы

1. *Основные* производители современных ПЛИС-компьютеров и комплектующих к ним. URL: <https://parallel.ru/fpga/vendors.html> (дата обращения: 29.10.2015).
2. *Цыбин С.* Программируемая коммутация ПЛИС: взгляд изнутри. URL: http://www.kite.ru/articles/plis/2010_11_56.php (дата обращения: 18.10.2015).
3. *Открытое* Акционерное Общество "Воронежский Завод Полупроводниковых Приборов – Сборка" ОАО "ВЗПП-С". URL: <http://www.vzpp-s.ru/about.htm> (дата обращения: 30.10.2015).
4. AllHDL – FPGA&CPLD. URL: <http://allhdl.ru/plis.php> (дата обращения: 30.10.2015).
5. *Апериодические* автоматы / под ред. В.И. Варшавского. М.: Наука, 1976. С. 304.
6. *Варшавский В.И., Мараховский В.Б., Розенблюм Л.Я. и др.* § 4.3. Апериодическая схемотехника // Искусственный интеллект. Т. 3: Программные и аппаратные средства / под ред. В.Н. Захарова, В.Ф. Хорошевского. М.: Радио и связь, 1990.
7. *Тюрин С.Ф.* Обзор технологий зеленого компьютеринга // Вестник Пермского национального исследовательского политехнического университета. Электротехника, информационные технологии, системы управления. 2015. № 1. С. 40–74.
8. *Achronix* начинает поставки FPGA Speedster22i, изготавливаемых Intel по 22-нанометровой технологии. URL: <http://www.ixbt.com/news/hard/index.shtml?16/55/65> (дата обращения: 31.10.2015).
9. *Speedster22i* Configuration User Guide. URL: http://www.achronix.com/wp-content/uploads/docs/Speedster22i_Configuration_User_Guide_UG033.pdf (дата обращения: 29.10.2015).
10. *Плеханов Л.П.* Основы самосинхронных электронных схем. URL:

<https://www.docme.ru/doc/997042/osnovy-samosinhronnyh-e-lektronnyh-shem-%E2%80%94-e-l-izd>. (дата обращения: 01.11.2015).

11. Peter Clarke CEO Interview: John Lofton Holt of Achronix Fastest FPGA? URL: http://www.eetimes.com/document.asp?doc_id=1271406 (дата обращения: 29.10.2015).

Features Asynchronous FPGA Speedster22i

S. V. Bereznyakov

ОАО "Star", 614990, Perm, Kuymbisheva st., 140 A
berser22@mail.ru +7-912-88-32-632

The article examines the characteristics of programmable logic (FPGA) Speedster22i type FPGA (Field-Programmable Gate Array) company Achronix. It analyzes the architecture and clocking of the FPGA. It turns out that we are not talking about the absence of synchronization, and the synchronization of multiple distributed, and the FPGA cannot be called a self-timed.

Key words: *FPGA (Field – Programmable Gate Array); LUT (Look Up Table); RLB (Reconfigurable Logic Block); Asynchronous; Self-timed; Clockless; Voltage-Controlled Oscillator.*