

УДК 681.32

Восстановитель информации в двухканальной самосинхронной схеме

С. Ф. Тюрин, А. Н. Каменских

Пермский национальный исследовательский политехнический университет
Россия, 614990, Пермь, ул. Комсомольский пр., 29
tyurinsergfe0@yandex.ru; +7-952-32-02-510

Самосинхронные (СС) схемы (ССС), работающие по фактическим временным задержкам элементов, обладающие способностью фиксировать константные отказы по незавершению переходного процесса, рассматриваются как один из перспективных вариантов высоконадежной отечественной электронной компонентной базы. Однако таким образом можно строить лишь активно отказоустойчивые схемы, причем для этого необходимо иметь дополнительные средства контроля максимально допустимого времени завершения переходного процесса, локализации места отказа и соответствующей реконфигурации, что может требовать относительно много времени. Для реализации пассивной отказоустойчивости, парирующей отказы в онлайн-режиме необходимо структурное резервирование и средства восстановления информации. Как правило, в синхронных схемах для этого применяют троирование с мажоритарными элементами в качестве восстановителей правильной информации. С целью парирования отказов в самих мажоритарных элементах, троируют и их. Но СССР и так имеют два канала – основной и парафазный. Если добавить вторую такую схему, получим фактически четыре канала. Единственная проблема заключается в том, что информация передается в парафазном коде, но это поправимо дополнительными инверторами. С целью обеспечения гашения (фазы спейсера) используются транзисторы разрешения. Предлагается восстановитель информации на основе избыточной транзисторной структуры, парирующий однократный отказ в рабочей фазе или в фазе гашения.

Ключевые слова: *отказоустойчивость; самосинхронная схема, спейсер; переходный процесс, восстановитель информации; КМОП-реализация; гистерезисный триггер; избыточная транзисторная структура; расчетверение; троирование; пассивная отказоустойчивость.*

Введение

Самосинхронные схемы (ССС), основы анализа и синтеза которых сформировал Д. Маллер (США) [1–4] в настоящее время пока не имеют такого широкого распространения, как синхронные и даже асинхронные. Но в условиях, когда все уменьшающиеся технологические нормы проектирования и производства цифровых интегральных микросхем (а фактически почти уже наносхем) вплотную подводят нас к линии, за которой уже нельзя не учитывать квантовые эффекты, интерес исследователей и инженеров к ним растет постоянно. Уже созданы самосинхронные кри-

сталлы [5], в России, в Московском институте проблем информатики Российской академии наук (ИПИ РАН) активно работает исследовательская группа Ю.А. Степченкова, подхватившая знамя группы В.И. Варшавского. На основе БМК создана обширная библиотека элементов для проектирования самосинхронных полужказных микросхем [6]. Свой скромный вклад в дело создания отечественной самосинхронной электронной компонентной базы вносят и авторы [7–9].

Самосинхронная схема строится по двухканальному принципу – имеется основной и двойственный каналы (например, одно-выходной комбинационной цифровой схемы, реализуется двойственная логическая функция) на которые подаются либо парафазный

входной вектор (переменная + ее инверсия), либо так называемый спейсер (полностью нулевой или полностью единичный вектор). Выходы значений некоторой логической функции Z-основного и не Z-двойственного каналов подключены к так называемому индикатору (рис. 1).

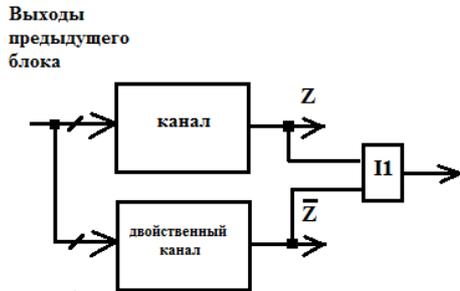


Рис. 1. Самосинхронная схема с индикатором И1

Используется двухфазная дисциплина вычислений. В фазе спейсера (или гашения) индикаторы формируют сигналы ее окончания, например ноль в случае использования единичного спейсера и элемента 2ИЛИ-НЕ. Далее, в рабочей фазе, подается входной парафазный вектор и, когда выходы двух каналов примут взаимно инверсные значения, что означает завершение переходного процесса, то на выходе индикатора будет сформирована единица. Эти сигналы индикаторов анализируются специальными гистерезисными триггерами (Г-триггерами или элементами Маллера, С-элементами) с целью формирования очередной фазы гашения и передачи результата вычислений в следующий блок. Таким образом, имеется избыточность и в варианте, изображенном на рис. 1 (она больше 100 %). Именно избыточность на данном этапе пока и "отпугивает" разработчиков, кроме того, методы автоматизированного синтеза и анализа ССС реальной размерности находятся в стадии формирования.

Что касается надежности ССС, то часто декларируется свойство обнаружения константных отказов, но фактически это свойство может быть использовано только при наличии дополнительной аппаратуры (например, фиксатора-счетчика допустимого максимального времени переходного процесса) в активно отказоустойчивой аппаратуре, требующей перерыва в работе для восстановления (и аппаратуры восстановления-реконфигурации и ре-

зервного оборудования), что не всегда возможно для так называемых онлайн-задач.

В то же время возможности создания пассивно отказоустойчивых самосинхронных схем не нашли должного отражения в доступных источниках, поэтому можно сделать вывод о том, что теория пассивно отказоустойчивых самосинхронных схем только формируется.

1. Двухканальная самосинхронная схема

После введения второго канала вычислений той же логической функции Z, схема с учетом рис. 1 становится фактически четырехканальной (рис. 2).

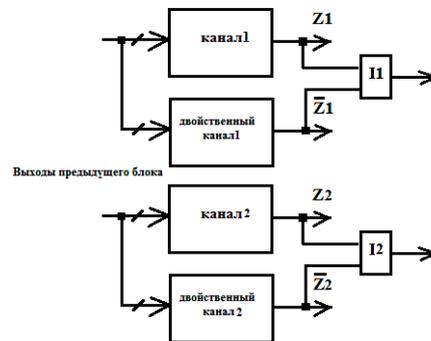


Рис. 2. Самосинхронная схема с двумя каналами 1, 2 и двумя индикаторами И1, И2

Анализ схемы рис. 2 рассмотрен в [8] и представлен в таблице.

Анализ самосинхронной схемы с двумя каналами 1, 2

Z1	Z1-bar	Z2	Z2-bar	№ Набора	F(Z1 Z1 Z2 Z2)	Ошибка g	Примечание
0	0	0	0	0	0	0	Спейсер нулевой
0	0	0	1	1	0	1	Ошибка выдachi 0 или нулевого спейсера
0	0	1	0	2	1	1	Ошибка нулевого спейсера или выдachi 1
0	0	1	1	3	~	1	Двукратная ошибка
0	1	0	0	4	0	1	Ошибка выдachi 0 или нулевого спейсера
0	1	0	1	5	0	0	выдachi 0
0	1	1	0	6	~	1	Двукратная ошибка
0	1	1	1	7	0	1	Ошибка единичного спейсера или выдachi 0
1	0	0	0	8	1	1	Ошибка выдachi 1 или нулевого спейсера
1	0	0	1	9	~	1	Двукратная ошибка
1	0	1	0	10	1	0	выдachi 1
1	0	1	1	11	1	1	Ошибка единичного спейсера или выдachi 1
1	1	0	0	12	~	1	Двукратная ошибка
1	1	0	1	13	0	1	Ошибка единичного спейсера или выдachi 0
1	1	1	0	14	1	1	Ошибка единичного спейсера или выдachi 1
1	1	1	1	15	1	0	Спейсер единичный

Данные таблицы показывают, что ошибка обнаруживается без фиксации фазы, но восстановить значение правильного сигнала невозможно. При задании наборов таблицы истинности на карте Карно получаем диагональ из нулевых клеток 0000,0101,1010,1111, поэтому минимизированная функция ошибки имеет вид (1)

$$g(Z_1 \bar{Z}_1 Z_2 \bar{Z}_2) = (\bar{Z}_1 Z_2) \vee (Z_1 \bar{Z}_2) \vee (\bar{Z}_1 \bar{Z}_2) \vee (Z_1 Z_2) \quad (1)$$

Однако в работе [8] не рассмотрена возможность восстановления информации при однократном отказе и только в рабочей фазе. А учитывая наличие фактически четырех копий одной и той же информации (это в классификаторе федерального института промышленной собственности называют не очень благозвучно – расчленением (на взгляд авторов лучше бы звучало "учетверение") в противовес дублированию и троированию) в двух каналах, каждый из которых имеет основной и двойственный каналы, это возможно и весьма несложными средствами [8–9].

2. Восстановитель информации в двухканальной самосинхронной схеме

С учетом вышесказанного восстановитель информации X не \bar{X} в двухканальной самосинхронной схеме может иметь вид (рис. 3).

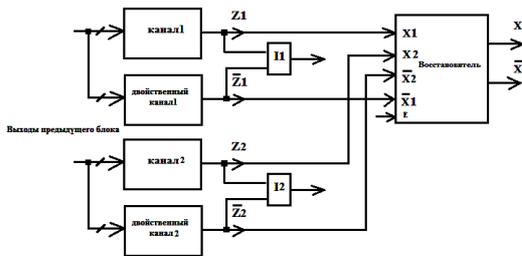


Рис. 3. Восстановитель информации X не \bar{X} в двухканальной самосинхронной схеме

Восстановление информации возможно только при наличии одного отказа в четверке входных сигналов $Z1$, не $\bar{Z1}$, $Z2$, не $\bar{Z2}$ путем реализации функции (2):

$$\bar{X} = X_1 \bar{X}_1 \vee X_2 \bar{X}_2. \quad (2)$$

Такая функция реализуется на основе КМОП-транзисторов так, как указано на рис. 4.

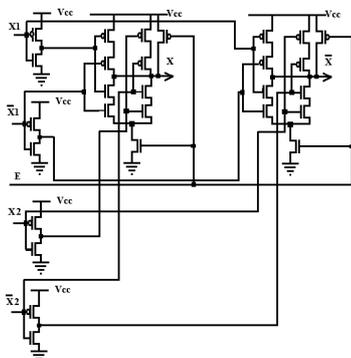


Рис. 4. КМОП-реализация восстановителя с разрешением

Для восстановления информации с двойственного канала используем функцию (3):

$$X = X_1 X_1 \vee X_2 X_2. \quad (3)$$

Структура восстановителя включает четыре инвертора, а также дополнительный транзистор для реализации фазы спейсера по входу разрешения E . Таким образом, всего необходимо 28 транзисторов.

С целью повышения надежности восстановитель следует дублировать. Тогда схема с дублированным восстановителем информации $X1$, не $\bar{X1}$, $X2$, не $\bar{X2}$ будет иметь вид (рис. 5).

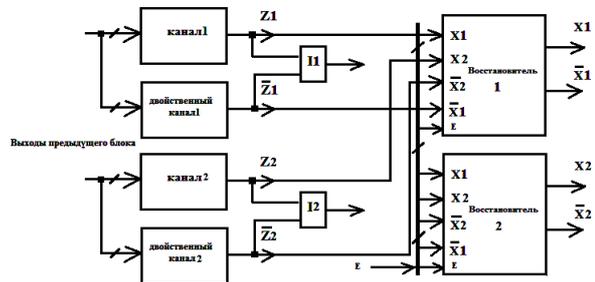


Рис. 5. Дублирование восстановителя информации в двухканальной самосинхронной схеме

3. Восстановитель информации в двухканальной самосинхронной схеме с учетом гистерезисного триггера

Дублирование восстановителя информации в двухканальной самосинхронной схеме требует наличия гистерезисного триггера Г-триггера).

То есть на выходах восстановителей 1, 2 следует предусмотреть индикаторы $I3$, $I4$, и выходы всех индикаторов необходимо подать на входы Г-триггера (рис. 6).

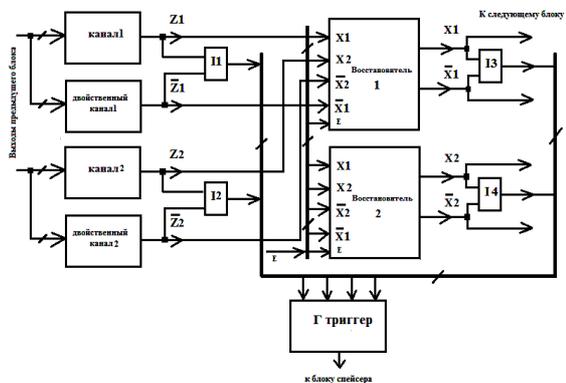


Рис. 6. Восстановитель информации с учетом гистерезисного триггера

Выход Г-триггера подается на блок спейсера. Целесообразно использовать отказоустойчивый Г-триггер с расчетверением [7], структура которого представлена на рис. 7.

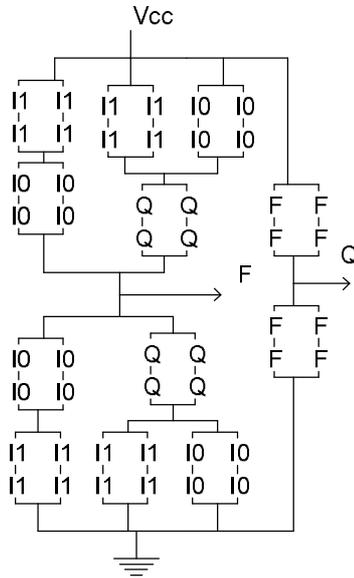


Рис. 7. Отказоустойчивый Г-триггер

В таком случае создается дополнительная возможность парирования отказа одного индикатора из четырех.

Выводы

Таким образом, предложенный восстановитель информации в двухканальной самосинхронной схеме позволяет обеспечить пассивную отказоустойчивость самосинхронного автомата путем парирования ошибки в одном из каналов – в основном или в двойственном. Помимо КМОП-реализации функции расчетверения структура восстановителя включает четыре инвертора и имеет сложность 28 транзисторов при учете необходимости восстановления парафазной информации X , не X . При дублировании восстановителей в следующий блок, в котором имеется свой восстановитель, также подается четверка сигналов. При введении индикаторов на выходах восстановителей возникает дополнительная возможность использования отказоустойчивого Г-триггера.

В дальнейшем целесообразно более подробно рассмотреть процедуры смены фаз,

а также вопрос оптимизации затрат на восстановление, так как в минимальном варианте восстановление можно предусмотреть только на выходе всего устройства, а в максимальном – на выходе каждого из его блоков или узлов.

Список литературы

1. Muller D.E., Bartky W.S. A theory of asynchronous circuits // Proc. Int Symp. On the Theory of Switching, Part 1. Harvard University Press, 1959. P. 204–243.
2. Аperiodические автоматы / под ред. Варшавского В.И. М.: Наука, 1976. С. 304.
3. Варшавский В.И., Мараховский В.Б., Розенблюм Л.Я. и др. § 4.3 Аperiodическая схемотехника // в кн. Искусственный интеллект. Т. 3: Программные и аппаратные средства / под ред. В.Н. Захарова и В.Ф. Хорошевского. М.: Радио и связь, 1990.
4. Yakovlev A. Energy-modulated computing // Design, Automation & Test in Europe Conference & Exhibition (DATE), 2011. IEEE, 2011. С. 1–6.
5. Hollosi B. et al. Delay-insensitive asynchronous ALU for cryogenic temperature environments // Circuits and Systems, 2008. MWSCAS 2008. 51st Midwest Symposium on. IEEE, 2008. С. 322–325.
6. Степченко Ю.А., Денисов А.Н., Дьяченко Ю.Г. и др. Библиотека элементов для проектирования самосинхронных полужказных микросхем серий 5503/5507 и 5508/5509. М.: ИПИ РАН, 2008. 296 с.
7. Kamenskikh A.N., Tyurin S.F. Advanced Approach to Development of Energy-Aware and Naturally Reliable Computing Systems. Proceeding of the 2015 IEEE North West Russia Section Young researches in electrical and electronic engineering conference (2015 El-ConRusNW). P. 67–69.
8. Kamenskikh A.N., Tyurin S.F. Application of redundant basis elements to increase self-timed circuits reliability // Proceedings of the 2014 IEEE North West Russia Young Researchers in Electrical and Electronic Engineering Conference. ElConRusNW 2014. P.47–50.
9. Kamenskikh A.N., Tyurin S.F. Features that provide fault tolerance of self-synchronizing circuits // Russian Electrical Engineering. 2015. P. 672–682.

Data Recovery for the dual-channel self-timed circuit

S. F. Tyurin

Perm National Research Polytechnic University, Russia, 614990, Perm, Komsomolsky Av., 29
tyurinsergfeo@yandex.ru; +7 952-320-02-510

A. N. Kamenskih

Perm National Research Polytechnic University, Russia, 614990, Perm, Komsomolsky Av., 29
antoshkinoinfo@yandex.ru; +7-902-64-125-45

The article is devoted to the restoration of self-timed circuits on-line. In the self-timed circuits duplexed unit is prompted for information recovery. The unit is based on signal quadrupling circuit unlike triple redundancy schemes in synchronous digital. It describes the proposed CMOS transistor implementation of recovery. Duplication of these blocks allows unit and the use of failover Muller element

Key words: *self-timed (speed independent, delay insensitive); circuits (circuits insensitive to delays in gates and wires); Muller element; CMOS transistor; reliability; failure resistance; triple redundancy; quadrupling.*